

博士論文

小型アナログ IC に関するパッケージ起因応力の
可視化と IC の高精度化設計手法に関する研究

2020 年 9 月

上田 尚宏

目次

第1章 序論	4
1-1. 近年の情報ネットワーク社会	4
1-2. 本研究の目的	7
1-3. 本論文の構成	9
参考文献	10
第2章 小型 IC チップのパッケージ起因応力分布の可視化技術	16
2-1. 緒言	16
2-2. 半導体製造技術で形成した piezoresistive 素子	18
2-3. シリコンチップに生じる応力の評価方法	21
2-3-1. カンチレバー型応力評価装置	23
2-3-2. piezoresistive 素子の応力感度	26
2-3-3. 応力の算出	29
2-4. 小型 IC チップの面内多点データを取得する技術	33
2-4-1. チップごとに piezoresistive 素子の配置場所を変えたテストチップ群	33
2-4-2. 複数チップのデータを一つのチップ上に重ねて表示する手法	35
2-5. 応力分布の可視化	38
2-6. 結言	39
参考文献	40
第3章 パッケージ工程が小型 IC チップに与える応力	44
3-1. 緒言	44
3-2. QFN に関する応力解析	46
3-2-1. 応力の発生工程	46
3-2-2. フィラーの影響度	50
3-2-3. チップサイズ依存	52
3-2-4. リードフレーム形状依存	55

3-2-5. シリコンチップ厚さ依存	58
3-3. WL-CSPに関する応力解析	60
3-3-1. Copper pillar (銅円柱) が応力に与える影響	63
3-3-2. 模式図を用いた応力挙動の理解	67
3-4. QFNとWL-CSPの比較によるアナログ回路特性への影響に関する考察	71
3-5. 結言	73
参考文献	75

第4章 パッケージ後の回路特性を予測できる新しいIC設計技術 79

4-1. 緒言	79
4-2. 応力起因の特性変動を予測する技術	80
4-3. Stress Netlist Generator (SNG) の概要	82
4-4. SNGを実行するための準備	84
4-4-1. 応力分布図	86
4-4-2. 応力感度特性	88
4-4-3. 応力起因の特性変動の算出方法	91
4-4-4. 応力の影響を反映させたネットリストの作成方法	94
4-5. 結果	97
4-6. 結言	101
参考文献	102

第5章 Wireless Sensor Network を構築するIoT機器(センサー)への応用 ... 105

5-1. 緒言	105
5-2. 各種センサー	106
5-3. 水素センサー	109
5-4. Pt超薄膜型水素センサー	114
5-4-1. 動作原理とその特徴	114
5-4-2. 実験方法	117
5-4-3. 実験結果	120
5-4-3-1. パルス電流過熱による応答特性の改善	120
5-4-3-2. センサーパターンのサイズ依存性	121
5-4-3-3. 水素ガスの濃度依存性	122

5-4-3-4. 駆動電流の最適化	123
5-4-3-5. ガス選択性	125
5-4-4. センサー構造の製造上の課題とその解決方法	126
5-5. 結言	133
参考文献	134

第6章 総括 139

研究業績	143
謝辞	146
付録	147

第 1 章 序論

1-1. 近年の情報ネットワーク社会

あらゆるモノをインターネットにつなげて新たなサービスを創出する IoT (Internet of Things) の実用的アイデアが工業先進国を中心に活発に議論されている。例えば巨大な鉱山での安全操業や輸送物流業におけるリアルタイム追跡[1]，日々の血圧・脈拍などのバイタルサインの把握や医療現場への応用[2]，生活家電をネットワークで繋いだスマートハウス[3]などを先駆けに，試行と商用サービスの提供が世界の各地域で広がりつつある。そして今後，世界各国での第 5 世代通信規格 (5G) の商用サービスエリアの拡大と相まって，近未来の本格的な IoT 社会が到来する。Fig.1-1 で示すように 2020 年代には 400 億台を超える電子機器がネットワークに接続され，現在の 100 倍以上の伝送速度でのデータのやり取りが多数同時接続の環境下で行われる[4]。このような IoT 社会を通信インフラとして実現し，安定的に維持し続けるためには，伝送技術への要求の多様化や今後も増大し続ける通信量への対応が課題となっている。

様々な IoT サービスを創出し，膨大な IoT 機器による多様なネットワークを実現させるためには，IoT 機器に対して，初期の設置工数とその後のメンテナンス工数の両方の軽減が重要である。設置の容易化に関しては，機器の小型化と軽量化が解決策として挙げられる。またメンテナンス工数を大きく左右する給電方式に関しては，現在主流のコイン電池駆動を中心に，将来的には太陽電池や振動発電など電池交換が不要なエネルギーハーベスタが候補とされているが[5, 6]，いずれの手段であっても IoT 機器を簡便に設置し，メンテナンスフリーで長期間動作させるためには，IoT 機器を構成する電子機器の小型・低消費電力化とそれを可能にする電子回路の高精度化がキーとなる[7-10]。すなわち，膨大な IoT 機器による多様なネットワークによって構築される利便性の高い社会基盤の実現のためには，電子機器の小型化と高精度化を克服すべき技術的課題として，今後も取り組んでいく必要がある [11]。

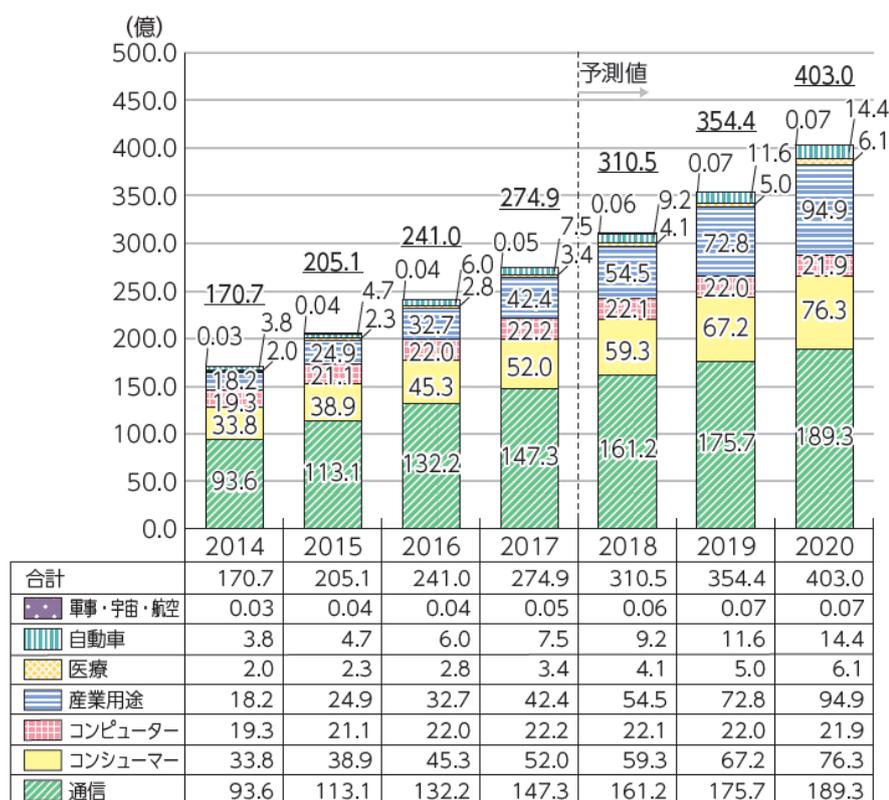
IoT 機器の概略構成図を Fig.1-2 に示す。一般的な IoT 機器の構成としては次に示す 5 つの機能部品からなる[12-14]。IoT 機器の五感となる認知機能 (センシング) については，監視カメラに代表される CMOS イメージセンサーや，温度や圧力，炭酸ガスや水素などの身の回りの環境情報を検知する各種のセンサー (Sensor) が，小型でかつ高精度に動作することが求められる。この要求はセンサーが出力する微弱なアナログ信号を加工・解析するためのアナログフロントエンドや，各種演算を実行する頭脳である演算回路 (MPU)，解析結果や解析コマンドをサーバーとの間で送受信する無線通信デバイス (RF) に対しても同様である。そして，それら個々の電子回路に電源 (Battery) からの電力を供給する電源管理 IC (Power Management) についても，小型化と高精度化が重要なことは言うまでもない[15, 16]。

一方で，電源管理 IC には以下で示す安全上の制約事情によって，かねてより高い動作精度が求められてきた。この点は，前述の IoT 社会への変革とはまったく別の課題であり，1990 年代から普及が進んだポータブル電子機器用電源であるリチウムイオン二次電池に関する安全性への要求が背景にある。2006 年頃から相次いで発生したノート型 PC における発火事故や，リチウムイオン二次電池を搭

載した電子機器における過熱・焼損事故を契機に、リチウムイオン二次電池システムに対する安全性の確保が問題視されてきた[17, 18]. これに応える安全基準が社団法人電子情報技術産業協会 (JEITA : Japan Electronics and Information Technology Industries Association) や社団法人電池工業会 (BAJ : Battery Association of Japan) を中心に検討され、リチウムイオン二次電池システムの安全に関わる設計・評価上の留意点が 2007 年にまとめられた[19].

その留意点に関する事例を Fig.1-3 に示す. Fig.1-3 はリチウムイオン二次電池を充電する際に、安全上の観点で印加可能な電圧の上限値に関するものである. すなわち、印加可能な充電電圧の上限値を 4.25V と定めて、これを超える電圧での充電動作は、リチウムイオン二次電池の発火リスクを高めることが注意喚起されると同時に、サードパーティ製の粗悪な充電器の使用に警鐘が鳴らされた [20]. 充電動作の監視・制御を司る機能を持つのが電源管理 IC であることから、電源管理 IC への要求精度が高まる所以がここにある.

そして近年、リチウムイオン二次電池の普及がノート型 PC だけでなくスマートフォンやリストバンド型の電子機器、さらにはワイヤレスイヤホンなどの各種ウェアラブルな IoT 機器にまで広がっていることから、精度への要求はますます高まりを見せている. 以上のことから、電源管理 IC には先に記載の IoT 社会への期待と相まって、電子機器の安全性を担保する観点も含めて、極めて重要な役割を担っていることが理解できる.



参考文献[4]より図を抜粋

Fig.1-1 Trend and forecast of the number of IoT devices in the world.

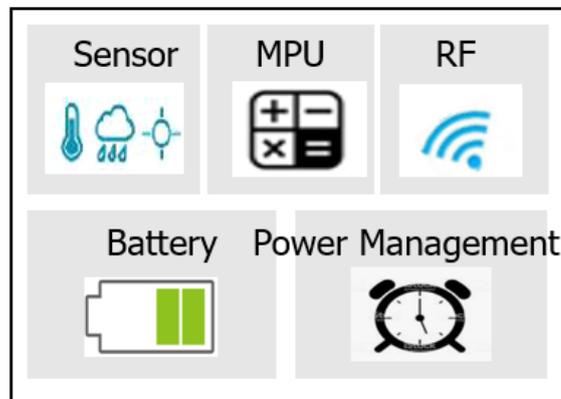
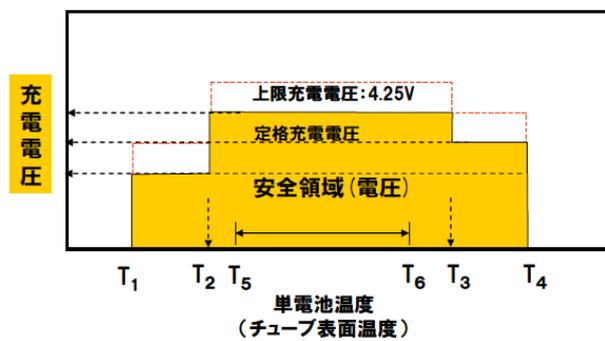


Fig.1-2 Schematic diagram of typical IoT equipment.



参考文献[19]より図を抜粋

Fig.1-3 Safety area for charging voltage of Lithium ion battery.

1-2. 本研究の目的

前章で述べたように、近未来に到来する利便性の高いIoT ネットワーク社会への貢献や、リチウムイオン二次電池の安全性の観点から、特に電源管理 IC には回路動作の一層の高精度化が求められている。しかしながら、電源管理 IC を構成する半導体集積回路の高精度化については、以下で述べる固有の阻害要因がある。以下では、現在の半導体集積回路の製造工程の一部であるパッケージ工程において発生する特性変動について説明する (Fig.1-4)。

パッケージ工程においては、シリコンチップを金属や樹脂など、物性値の異なる材料によって形成し機能を発現させている。パッケージ工程で用いる各部材の物性値を Table 1 に示す[21]。

Table 1 パッケージ工程で用いる部材の物性値

Material	Young's modulus (Pa)	Poisson's ratio	Coefficients of thermal expansion (1/K)
シリコン	1.3×10^{11}	0.28	3.0×10^{-6}
シリコン酸化膜	7.3×10^{10}	0.16	5.4×10^{-7}
モールド樹脂	3.1×10^{10}	0.25	2.0×10^{-5}
Filler	7.8×10^{10}	0.16	5.0×10^{-7}
Lead frame	1.9×10^{11}	0.31	1.3×10^{-5}
Copper pillar	1.3×10^{11}	0.34	1.7×10^{-5}
Solder ball	2.2×10^{10}	0.37	2.4×10^{-5}

近年、特性の異なる材料を接合することに起因して発生している問題の解決が急務となっている。すなわち、構成部材の線膨張係数の違いに起因して生じた残留応力によって、メタル配線の断線やクラック、あるいは剥がれが発生するといった問題がクローズアップされている[22-25]。さらには、この残留応力によって電子回路を構成する半導体素子が、ピエゾ抵抗効果によって特性変動を起こすことも、問題となっている[26-36]。ピエゾ抵抗効果による特性変動に関しては、現在の半導体集積回路がシリコンウエハの状態から抽出した SPICE パラメータ[37]を用いて設計されていることから、この特性変動はまったく考慮されていないのが実情である。以上のことから、パッケージ起因の応力の影響で設計値と異なる製品が生み出されてしまうリスクを解消するために、パッケージ工程で発生する残留応力を適切な精度で把握し、応力による集積回路の特性変動を事前に予測することの出来る技術が切望されている。

パッケージ工程によってシリコンチップに発生する応力の測定方法としては、ピエゾ抵抗効果を利用したテストチップによる応力測定の実例が既に報告されている[38-42]。しかしながら、これまでの報告はチップ面内の多点測定を行う都合から、テストチップ内に複数のボンディングパッドを配置する構成になってい

る。その結果、チップサイズとしては一辺が数mmを超える大型チップでの報告となっており、チップサイズが1 mm角程度の小型の電源管理 IC には参考にならなかった。

また、シミュレーション技術の進歩に伴って、有限要素法を用いた応力解析の事例も多くの報告がなされている[43-49]。しかしながら、パッケージ工程による残留応力が、樹脂の硬化収縮に起因することから、ガラス転移点を含む粘弾性挙動をモデル化した高度な数値解析が必要であることと、そのためには樹脂の粘弾性材料特性を採取する必要がある、その実験に多大な工数が発生する、ということが課題になっている。

上記以外の応力解析技術として、ラマン分光法を用いた応力解析の研究が進んでいる[50-52]。しかしながら、この方法は評価サンプルを加工し、そのデバイス形成面を露出させる必要があることと、解析範囲の大きさが限定されることから、チップ面内全域での評価が困難という課題がある。

以上のように、パッケージ工程で発生する応力とその対処方法については、特にチップサイズが1 mm角程度の小型 IC に関して研究した例は他には見当たらず、研究が手薄であるのが実情であった。

本研究はこのような背景に鑑み、小型 IC に関するパッケージ起因応力を調査し、ピエゾ抵抗効果によって発現する回路レベルでの特性変動に対して、産業的な解決策を提示することを目的として実施された。特に、電源管理 IC に代表されるアナログ IC はシリコンチップの大きさが1 mm角程度と小型化が進んでいるので、この程度の大きさを持つ小型 IC を対象に研究を行った。さらに将来の IoT ネットワーク社会の進化に対して技術的な貢献を行うために、IoT 機器のキーパーツであるセンサーについても研究を進めた。本研究では、特に近未来の水素社会での活躍が期待されている水素センサーに関して、基礎的な研究を行った。

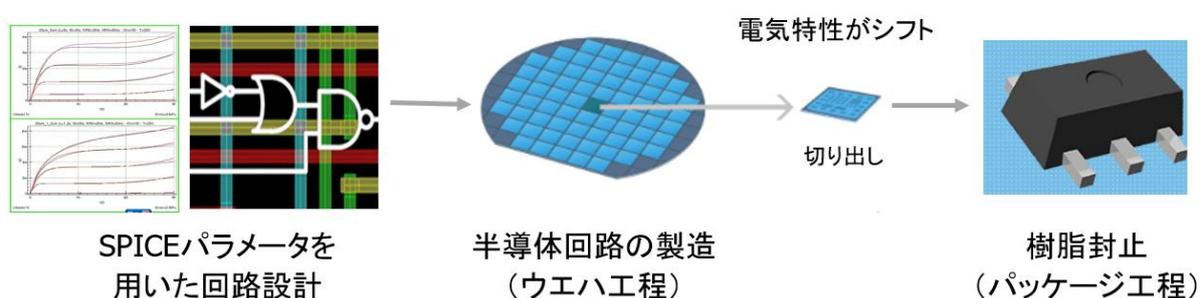


Fig.1-4 Stress-induced performance shift between wafer and package condition.

1-3. 本論文の構成

本論文は以下の 5 章から構成されている。

第 1 章は序論であり，本研究の背景と位置付け，並びに目的について述べている。

第 2 章では，本研究を実施するにあたって作製した応力評価システムの概要と小型 IC チップのパッケージ起因応力の測定方法，並びにチップ面内の応力分布の再生方法とその結果について述べている。小型 IC チップのパッケージ起因応力分布の可視化を目的に，専用の応力評価治装置（キャリブレーション装置）と専用のテストチップ群（45 通りのテストチップ）を作製した。そして独自に考案した手法を用いることで，チップサイズが 1 mm 角程度の小型 IC チップに対して，その応力分布の可視化を実現した。

第 3 章では，第 2 章で説明した技術を用いて QFN パッケージと WL-CSP の 2 種類に対して，パッケージ起因応力を調査した結果を述べている。QFN パッケージについては，応力の発生工程やファイラーの影響，チップサイズとリードフレームのそれぞれの形状が応力に与える影響，並びにチップ厚さの影響について調査した。WL-CSP については，Copper Pillar が局所的な応力に与える影響を調査した。本章の研究によって，QFN パッケージと WL-CSP のそれぞれに対して小型 IC チップのパッケージ起因応力のチップ面内分布を明確にした。さらにパッケージ起因応力によるアナログ回路の性能劣化を回避する技術的手法を考案した。

第 4 章では，パッケージ起因応力によるアナログ回路の性能劣化を予測する手法について述べている。ネットリストをベースにした現在の回路設計手法に応力起因の特性変動要素を追加する新たな手法を考案し，そのための実行ツールを開発した。その結果，IC の設計段階において応力起因の特性変動を予測することが可能になった。本研究で開発した実行ツールの効果を複数のアナログ回路を搭載した小型 IC チップで検証し，高い予測精度を持つことを示した。

第 5 章では，ガスセンサーの一種である水素センサーに対して実施した基礎的な研究について述べている。本章で述べるセンサーは第 4 章までに述べた小型 IC チップとともに現在，世界の各地で普及が進む Wireless Sensor Network 向けの IoT 機器を構成するキーパーツである。将来の高度な情報ネットワーク社会の実現に対する一助となるように，岡山大学で開発された Pt 超薄膜型の水素センサーについて実用化に向けた基礎的な研究を実施した。

第 6 章では，第 1 章から第 5 章までに述べた研究成果に対して，総括を行った。

参考文献

- [1] L. D. Xu, W. He, and S. Li, "Internet of Things in Industries: A Survey," *IEEE Trans. on Industrial Informatics*, Vol. 10, No. 4, pp. 2233-2243, Nov. 2014.
- [2] M. A. Ameen, J. Liu, and K. Kwak, "Security and Privacy Issues in Wireless Sensor Networks for Healthcare Applications," *J. of Medical Systems*, Vol. 36, pp. 93-101, 2012.
- [3] M. G. Ruiz, "Wireless Sensor Network for Smart Home Services Using Optimal Communications," *Int. Conf. on Information Systems and Computer Science (INCISCOS)*, pp. 27-32, 2017.
- [4] 平成 30 年版 情報通信白書 総務省
<https://www.soumu.go.jp/johotsusintokei/whitepaper/ja/h30/pdf/index.html>
- [5] F. K. Shaikh and S. Zeadally, "Energy harvesting in wireless sensor networks: A comprehensive review," *Renewable and Sustainable Energy Reviews*, Vol. 55, March, pp. 1041-1054, 2016.
- [6] Le-Giang Tran, Hyouk-Kyu Cha, Woo-Tae Park, "RF power harvesting: a review on designing methodologies and applications," *Micro and Nano Systems Letters*, Vol.5, No. 14, December 2017.
- [7] G. J. Pottie and W. J. Kaiser, "Wireless Integrated Network Sensors," *Communi. ACM*, Vol. 43, No. 5, pp. 551-558, May 2000.
- [8] C. Intanagonwiwat, R. Govindan, and D. Estrin, "Directed Diffusion: A Scalable and Robust Communication Paradigm for Sensor Networks," *IEEE Intl. Conf. on Mobile Computing and Networking (Mobicom 2000)*, pp. 56-67, 2000.
- [9] J. M. Kahn, R. H. Katz and K. S. J. Pister, "Next Century Challenges: Mobile Networking for Smart Dust," *Proc. ACM MobiCom. '99*, pp. 271-278, 1999.
- [10] E. Shih, "Physical Layer Driven Protocol and Algorithm Design for Energy-Efficient Wireless Sensor Networks," *Proc. ACM MobiCom. '01*, pp. 272-286, 2001.

- [11] Mihai T. Lazarescu, "Design of a WSN Platform for Long-Term environmental Monitoring for IoT Applications," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, Vol. 3, No. 1, March 2013.
- [12] I. F. Akyildiz, W. Su, Y. Sankarasubramaniam, and E. Cayirci, "A survey on sensor networks," *IEEE Communication Magazine*, Vol. 40, No. 8, pp. 102-114, Aug. 2002.
- [13] M. N. O. Sadiku, K. G. Eze, and S. M. Musa, "Wireless Sensor Networks for Healthcare," *J. of Scientific and Engineering Research*, Vol. 5, No. 7, pp. 210-213, 2018.
- [14] P. Neves, M. Stachyra, and J. Rodrigues, "Application of wireless sensor networks to healthcare promotion," *J. of Communications Software and Systems*, Vol. 4, No. 3, pp. 181-190, 2008.
- [15] K. Sohraby, D. Minoli, T. Znati, "Wireless Sensor Networks: Technology, Protocols, and Applications," P18, 2007.
- [16] M. O. Onibonoje, O. F. Ikpeze, and C. C. Ibenegbu, "Development of a Wireless Sensor Network for Monitoring an Automated distributed Water Supply System," *ABUAD J. of Engineering Research and Development (AJERD)*, Vol. 1, No. 1, pp. 23-31, 2017.
- [17] 日経エレクトロニクス, "特集「燃えない電池」," 2007年2月26日号
- [18] 経済産業省 News Release, "消費生活用製品の重大製品事故に係る公表について," 平成20年8月19日版
- [19] 「ノート型 PC におけるリチウムイオン二次電池の安全利用に関する手引書」
https://home.jeita.or.jp/page_file/20110517171451_cFLnqhD0Qu.pdf
- [20] 藤山哲人, "リチウムイオン電池…発火事故急増のワケ," 読売新聞オンライン, 2017年11月2日 11:00 版
- [21] J. H. Lau, C. P. Wong, J. L. Prince, and W. Nakayama, "Electronic Packaging; Design, Materials, Process, and Reliability", *McGraw-Hill*, ISBN-0070371350, Chapter 4, P. 121, 1998

- [22] Y. Li, M. A. J. van Dils, W. D. van Driel, R. B. R. van Silfhout, J. Bisschop, J. H. J. Janssen, and G. Q. Zhang, "Impact of IC Wafer Fab and Assemble Fab Processes on Package Stress Induced Product Reliability Issues – An Insight into the Package Stress Relief Design Rules by Simulation," *IEEE 46th Int. Reliability Physics Symposium*, pp. 455-461, 2008.
- [23] S. Katsurayama and M. Saka, "Reliability Evaluation of Warpage of Flip Chip Package with Some Kind of Underfill material," *J. of Solid Mechanics and Materials Engineering*, Vol. 2, No. 8, pp. 987-998, 2008.
- [24] S. Hillebrecht, "Reliability Characterization of Interconnects in CMOS Integrated Circuits Under Mechanical Stress," *IEEE 47th Int. Reliability Physics Symposium*, pp. 562-567, 2009.
- [25] H. Miura, T. Kumazawa, and A. Nishimura "Effect of Delamination at Chip/Encapsulant Interface on Chip Stress and Transistor Characteristics," *Applications of Experimental Mechanics to Electronic Packaging*, EEP-Vol. 13/AMD-Vol. 214, pp. 73-78, 1995.
- [26] A. Hamada, T. Furusawa, N. Saito, and E. Takeda, "A New Aspect of Mechanical Stress Effects in Scaled MOS Devices," *IEEE Trans. on Electron Devices*, Vol. 38, No. 4, pp. 895-900, Apr. 1991.
- [27] H. Miura and A. Nishimura, "Device Characteristics Changes Caused by Packaging Stress," *Mechanical and Materials for Electronic Packaging*, AMD-Vol. 195, Vol. 1, pp. 101-109, 1994.
- [28] 三浦 英生, 西村 朝雄, "パッケージング応力起因の半導体素子特性変動," 日本機械学会論文集 (A 編) 61 巻 539 号 (1995-9) , pp. 1957-1964, 1995.
- [29] H. Ali, "Stress-induced parametric shift in plastic packaged devices," *IEEE Trans. on Components, Packaging, and Manufacturing Technology*, Part B, vol. 20, no. 4, pp. 458-462, Nov. 1997.
- [30] S. Ito, H. Namba, K. Yamaguchi, T. Hirota, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, and T. Horiuchi, "Mechanical Stress Effect of Etch-Stop Nitride and its Impact on Deep Submicron Transistor Design," *IEDM Tech. Digest*, pp. 247-250, 2000.

- [31] J. F. Creemer, F. Fruett, G. C. M. Meijer, and P. J. French, "The Piezjunction Effect in Silicon Sensors and Circuits and its Relation to Piezoresistance," *IEEE Sensors J*, Vol. 1, No. 2, pp. 98-108, 2001.
- [32] G. C. M. Meijer, G. Wang, and F. Fruett, "Temperature Sensors and Voltage References Implemented in CMOS Technology," *IEEE Sensors J*. Vol. 1, No. 3, pp. 225-234, Oct. 2001.
- [33] S. Ito, H. Namba, K. Yamaguchi, T. Hirota, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, and T. Horiuchi, "Effect of mechanical stress induced by etch-stop nitride: impact on deep-submicron transistor performance," *Microelectronics Reliability*, Vol. 42, pp. 201-209, 2002.
- [34] 高橋 和美, 天野 彰, 山崎 彰, 二階堂 広基, 羽島 行範, "電源用 IC 基準電圧低変動パッケージング技術," *MES2002*, pp. 163-166, 2002.
- [35] H. Kishi, T. Sakaki, A. Kaisumi, K. Suzuki, and H. Miura, "Packaging Stress-Induced Shifts of the Electronics and Optical Characteristics of Thin Film Devices Used for Opto-Electronic Hybrid-Integrated Modules," *Int. Conf. Electronic packaging*, pp. 907-910, 2009.
- [36] Y. Han, M. koganemaru, T. Ikeda, N. Miyazaki, Y. Kiyotaka, W. Choi, and H. Tomokage, "Effects of Uni-axial mechanical Stress on Scattering Parameters of Metal Oxide Semiconductor Field Effect Transistors," *Int. Conf. Electronic Packaging*, pp. 440-445, 2009.
- [37] <http://bsim.berkeley.edu/~bsim3/>
- [38] S. Komatsu, K. Suzuki, N. Iida, T. Aoki, T. Ito, and H. Sawazaki, "Stress-insensitive diffused resistor network for a high accuracy monolithic D/A converter," *IEEE Trans. on Electron Devices*, pp. 144-148, 1980.
- [39] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "IC プラスチックパッケージ内応力測定素子の開発とその応用," 日本機械学会論文集 (A 編) 53 巻 493 号 (昭 62-9) , pp. 1826-1832, 1987.

- [40] S. A. Gee, W. F. van den Bogert, and V. R. Akylas, "Strain-Gauge Mapping of Die Surface Stresses," *IEEE Trans. on Components, Hybrids, and Manufacturing Tech.*, Vol. 12, No. 4, pp. 587-593, Dec. 1989.
- [41] R. Pendse, and J. Demmin, "Test Structures and Finite Element Models for Chip Stress and Plastic Package Reliability," *Proc. IEEE 1990 Int. Conf. on Microelectronic Test Structures*, Vol. 3, pp. 155-160, Mar. 1990.
- [42] Q. Nguyen, J. C. Roberts, J. C. Suhling, and R. C. Jaeger, "A study of Moisture and Thermally Induced Die Stresses in Plastic Ball Grid Array Packages," *16th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm)*, 2017.
- [43] A. Mertol, "Stress analysis and thermal characterization of high pin count PQFP," *J. of Electronic Packaging*, Vol. 114, pp. 211-220, 1992.
- [44] J. L. Egley, and D. Chidambarao, "Strain Effects on Device Characteristics: Implementation in Drift-diffusion Simulators," *Solid-State Electronics*, Vol. 36, No. 12, pp. 1653-1664, 1993.
- [45] V. Senez, D. Collard, P. Ferreira, and B. Baccus, "Two-Dimensional Simulation of Local Oxidation of Silicon: Calibrated Viscoelastic Flow Analysis," *IEEE Trans. on Electron Devices*, Vol. 43, No. 5, pp. 720-731, May 1996.
- [46] D. Y. R. Chong, C. K. Wang, K. C. Fong, and P. Lall, "Finite element parametric analysis on fine-pitch BGA (FBGA) packages," *Proc. of IPACK03*, 2003.
- [47] E. Yamada, K. Abe, Y. Suzuki, and M. Amagai, "The Study of Silicon Die Stress in Stacked Die Packages," *2005 Int. Symp. on Electronics Materials and Packages (EMAP2005)*, pp. 74-77, 2005.
- [48] 小金丸 正明, 池田 徹, 宮崎 則幸, "ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起因する半導体チップの残留応力評価," *エレクトロニクス実装学会*, Vol. 9, No. 3, pp. 186-194, 2006.

- [49] Y. C. Lee, W. H. Lai, I. Hu, M. K. Shih, C. L. Kao, D. Tarng, and C. P. Hung, "Fan-Out Chip on Substrate Device Interconnection Reliability Analysis," *2017 IEEE 67th Electronic Components and Technology Conference*, pp. 22-27, 2017.
- [50] I. D. Wolf and H. E. Maes, "Stress measurements in silicon devices through Raman spectroscopy Bridging the gap between theory and experiment," *J Appl. Phys.*, Vol. 79, no. 9, 1 May, pp. 7148-7156, 1996.
- [51] I. D. Wolf, "Raman spectroscopy: about chips and stress," *Spectroscopy Europe 2003*, pp. 6-13, 2003.
- [52] 中島 信一, 三谷 武志, 吉川 正信, "ラマン散乱分光法によるシリコンのひずみ・応力評価," *応用物理* 第75巻 第10号, pp. 1224-1231, 2006.

第 2 章 小型 IC チップのパッケージ起因応力分布の可視化技術

2-1. 緒言

半導体集積回路をシリコンウエハの状態からシリコンチップの状態に切り出し、モールド樹脂で封止を行うと、シリコンチップに加わる応力によるピエゾ抵抗効果によって、集積回路の電気特性がウエハ状態の時から変化する。半導体集積回路の更なる高精度化を阻害するこの現象を解析し、産業的に適用可能な解決策を見出すことを目的に、本研究は実施された。

半導体集積回路の原材料である単結晶シリコンに関するピエゾ抵抗効果については、1954 年の Smith らによる報告が最初の研究成果として注目される[1]。この報告の中で Smith らは単結晶シリコンへの応力印加とその時の抵抗値測定によってピエゾ抵抗係数を実験的に導出している。その後、Tuftte[2, 3]や Seto[4]、若槻ら[5]によってピエゾ抵抗係数の不純物濃度依存性や温度依存性、チップ面内応力に関する調査が進められ、80 年代からは、Kanda[6]や Sugiyama[7]を含む多くの研究者によって、様々な切り口から研究が進められた[8-11]。

パッケージ工程によって発生する残留応力の計測手法とそれに用いるテストチップに関しては、半導体製造技術を用いて形成した微小なピエゾ抵抗体を使った評価例が数多く報告されている[12-20]。

本章では上記のとおり、先行研究によって確立された技術を活用して、第一の課題として小型 IC チップのパッケージ起因応力分布の可視化を行った。まず本章 2-2. において、本研究での応力を検出するセンシング素子として、半導体製造技術を用いて形成したピエゾ抵抗素子について述べる。次にピエゾ抵抗素子の応力感度を評価する測定装置（キャリブレーション装置）と、それを用いたシリコンチップ表面の二軸の応力成分 (S_x , S_y) の算出方法を本章 2-3. で述べる。

ところで、シリコンチップを樹脂封止した際に生じる応力については、多くの研究成果が報告されているが[21-25]、その多くはシリコンチップのサイズとして数mm角～10 mm角程度の大きさを対象にしたものであることに注意を喚起する。電源管理 IC に代表されるアナログ IC はその多くがチップサイズ 1 mm角程度と小型である。さらに、その動作が電圧監視や電流供給といった特定の機能を担っていることから、外部との接続端子（ボンディングパッド）の数が少なく、多くの場合 4 個程度に限られている。すなわち、電源管理 IC の特徴として以下の 2 点を記載して、概要図として Fig.2-1 に示す。

特徴① シリコンチップのサイズが 1 mm角程度と小型である。

特徴② ボンディングパッドの数が 4 個程度と少ない。

すなわち、特徴①はシリコンチップが小型であることから、シリコンチップ内の応力を抽出するためのピエゾ抵抗素子にも小型化が求められる。特徴②は一つのチップで一回に測定できるポイント数が限られることから、シリコンチップの面内における応力の多点測定を難しくしている。以上の事情から小型で接続端子の少ない電源管理 IC に対しては、そのチップ内応力に関する研究が不十分な状況であった。そこで多点測定の課題に対して、筆者が考案した解決策とその効果を本章 2-4. で述べる。最後に本章 2-5. において、小型 IC のチップ表面応力分布を可視化した結果を述べる。

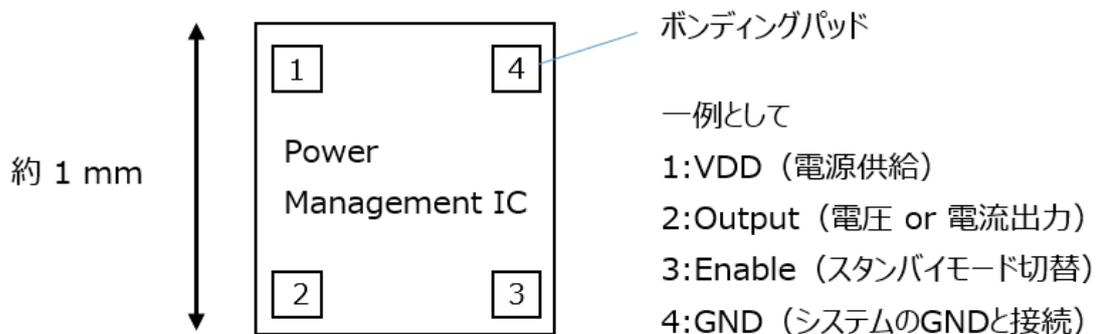


Fig.2-1 Features of power management IC.

2-2. 半導体製造技術で形成したピエゾ抵抗素子

本研究で用いたピエゾ抵抗素子の平面図と断面図を Fig.2-2, Fig.2-3 にそれぞれ示す。ピエゾ抵抗素子は半導体集積回路を製造するクリーンルームにおいて、プロセスノード 0.5 μm の 6 インチ CMOS ウエハラインを用いて形成した。応力に対して感度のある抵抗体部分（ピエゾ抵抗素子）は長さが 0.03 mm, 幅が 0.002 mm である。このように本研究ではサブミクロン級の半導体製造プロセスを用いることで、チップサイズに対して 2 桁以上小さいピエゾ抵抗素子を形成した。

Fig.2-2 で示す A-B 間の破線部の断面が Fig.2-3 で示す A-B 間に相当する。ピエゾ抵抗素子の導電型としては、N 型半導体と P 型半導体の 2 種類を作製した。それぞれのピエゾ抵抗素子は単結晶のシリコンウエハの中に不純物としてリン（Phosphorous）、もしくはボロン（Boron）を約 $1.0 \times 10^{19} \text{ cm}^{-3}$ の濃度で導入することで形成した。

本研究ではピエゾ抵抗素子の抵抗値の測定方法として、4 端子法（Four-point Kelvin resistance measurement method）を用いた[26]。この方法を採用することで、測定データのばらつき因子となり得る金属配線の引き回し部や、コンタクト接続部が持つ寄生抵抗成分を排除した。4 端子法において、ピエゾ抵抗素子の抵抗値:R は以下の式で表される。

$$R = \frac{V_{m2} - V_{m1}}{I_{source}} \quad (1)$$

ここで、 V_{m2} , V_{m1} は、ピエゾ抵抗素子の両端部の電圧の値を、 I_{source} はピエゾ抵抗素子に流す電流の値である。電圧、電流を測定する計測器としては Agilent Technologies 社製の半導体パラメータアナライザ 4156C を用いた (Fig.2-4)。

本研究では、前記載のピエゾ抵抗素子を、本評価のターゲットである小型 IC チップと同じチップサイズで、かつ、同じ配置のボンディングパッドを持つ専用のテストチップで計測できるように設計し (Fig.2-5)、小型 IC チップと同じ製造条件で作製した。そしてその抵抗値をパッケージ工程の前後で、すなわち、ウエハの状態とパッケージの状態の両方で測定することでチップに加わる応力変化の観測を可能にした。

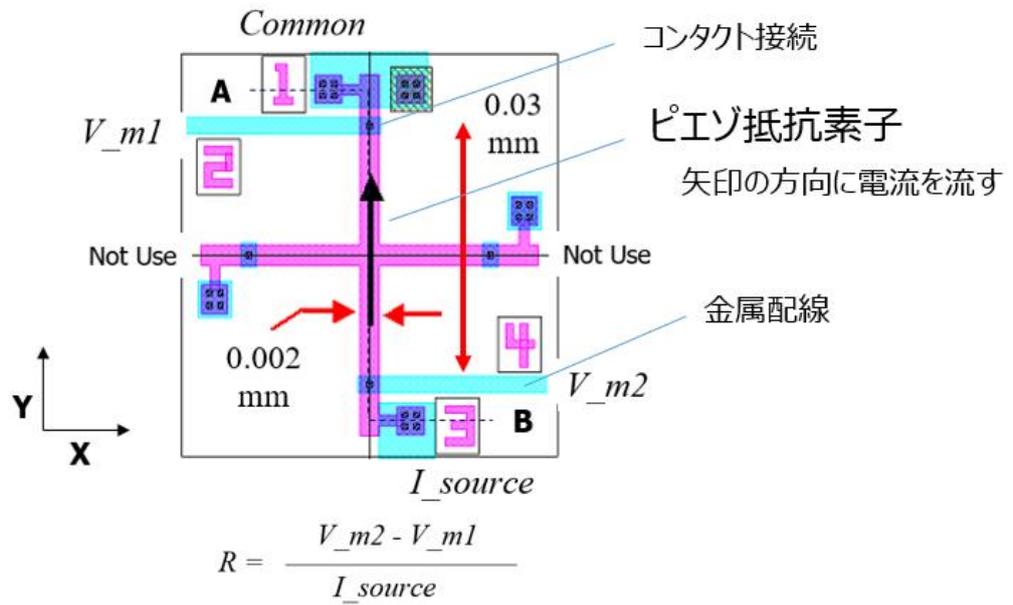


Fig.2-2 Plan view of piezo resistor.

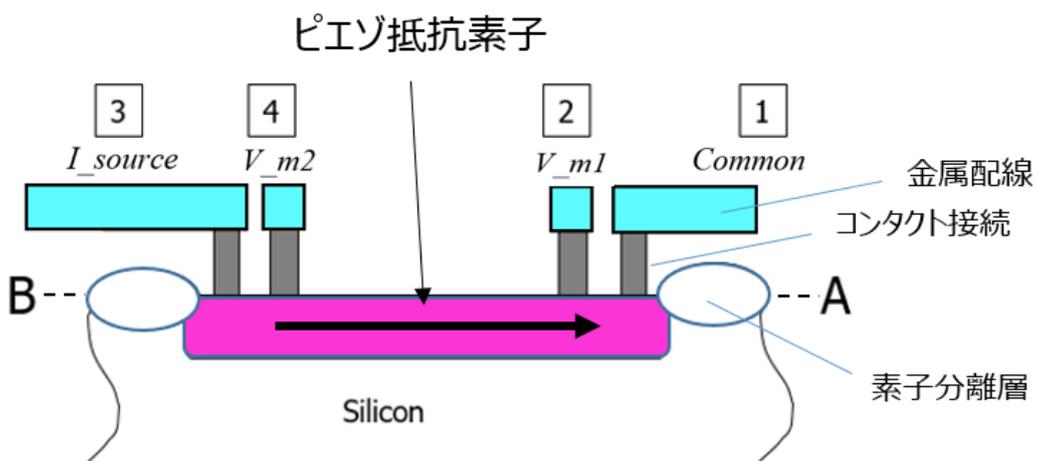


Fig.2-3 Cross-section of piezo resistor.



Agilent Technologies Parametric Analyzer 4156C

Fig.2-4 Measurement equipment for the study.

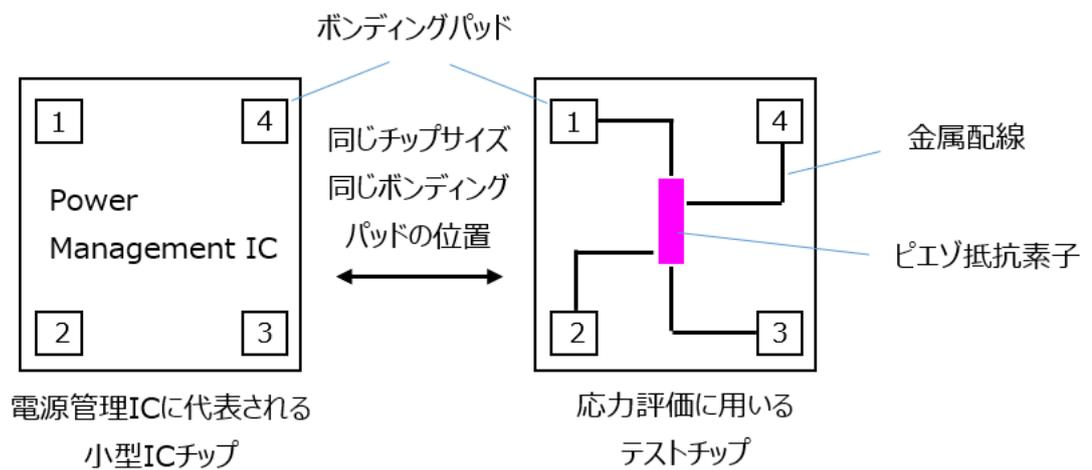


Fig.2-5 Test chip with piezo resistor

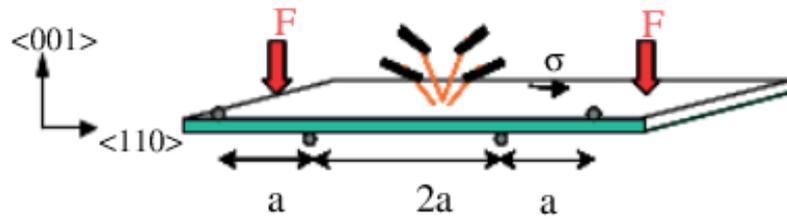
2-3. シリコンチップに生じる応力の評価方法

シリコンチップに生じる応力を測定するためには、評価に用いるピエゾ抵抗素子の応力感度特性を事前に把握しておく必要がある。電子デバイスの応力感度を測定する評価システムは、複数の研究レポートで報告がなされている。大別すると、4点曲げ法（4 Point bending method）[27-31]と、片持ち梁法（Cantilever beam method）[4, 32, 33]に分けられる。

前者はその名称の示す通り、4つの応力印加部で評価サンプルを歪ませることで、評価対象であるDUT(Device Under Test)に一軸性の応力を印加する（Fig.2-6）。この方法ではDUTに与える応力値が評価サンプルの切り出しサイズに依存せず、内側2つの応力印加部の間において均一な応力場を得ることが出来る。したがって4点曲げ法においては、評価サンプルを切り出す自由度が高いため、ハンドでのへき開法といった簡便な方法でのサンプル形成も可能であるが、一方で4つの応力印加部をメカニカルに操作する必要から、評価システムの構造が複雑になるという課題がある。

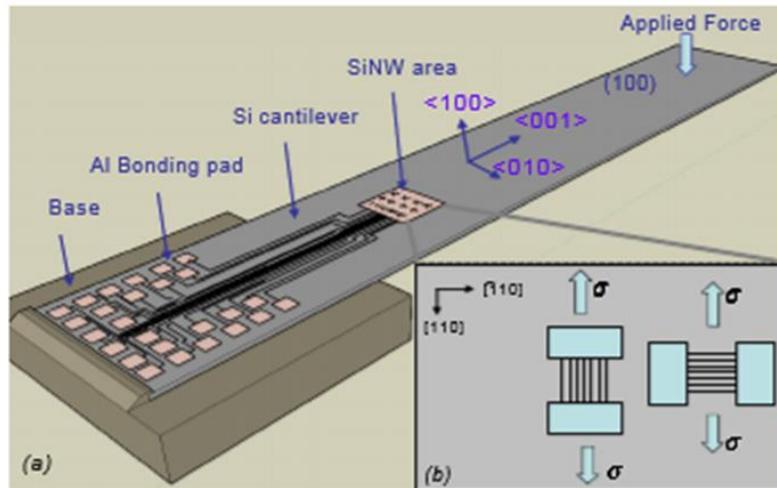
後者の片持ち梁法（Fig.2-7）は、短冊形状の評価サンプルの片方を固定し、もう片方の自由端側に加重を与えることで、DUTに応力を印加する方法である。評価システムの構造が簡素であって、システム構築しやすいメリットがある一方で、DUTに生じる応力値を算出するために、評価サンプルの断面係数、すなわち、短冊形状に切り出したサンプルの正確な寸法が必要になる[34]。この寸法の仕上がり精度が応力値の精度を左右するので、評価サンプルの切り出しには専用の切断装置（Dicing saw）が必要となる。本研究においては筆者が切断装置を使用できる環境にあったため、評価システムを構築しやすい片持ち梁法を採用した。

本章ではピエゾ抵抗素子の応力感度特性を評価するために、カスタム仕様で作製したカンチレバー型の応力評価装置と、それをを用いたシリコンチップ表面の二軸の応力成分（ S_x , S_y ）の算出方法について述べる。



参考文献[30]より図を抜粋

Fig.2-6 Example of 4 point bending method.



参考文献[33]より図を抜粋

Fig.2-7 Example of cantilever beam method.

2-3-1. カンチレバー型応力評価装置

Fig.2-8, Fig.2-9, Fig.2-10, Fig.2-11 に本研究を実施するにあたって作製したカンチレバー型応力評価装置を示す。

Fig.2-8 はカンチレバー型応力評価装置の概要を示す。シリコンウエハから短冊形状に切り出した評価サンプル (Silicon Beam) の片方の端部を治具で固定し、反対側の端部に加重を加えることで、評価サンプルを歪ませ、評価サンプルに作り込んだ DUT に応力を印加する。評価サンプルに加える加重を圧力センサー (Load Cell) で読み取り、DUT に生じる応力に変換する。DUT の電気特性 (この場合はピエゾ抵抗素子の抵抗値) を外部に引き出した配線に接続した計測器で読み取る。

Fig.2-9 はカンチレバー型応力評価装置の外観写真を示す。片持ち梁の状態に評価サンプルを固定したサンプルホルダーは可動ステージにセットされ、位置合わせ用マイクロメーターによって位置合わせを行う。評価サンプルの自由端側を印加ロッドによって押し込み (または引き上げ)、その時の加重を印加ロッドに直結した圧力センサーで読み取る。圧力センサーは可動ステージにセットされ、圧力印加用マイクロメーターによって加重を調整する。

Fig.2-10 はサンプルホルダーの外観写真を示す。評価サンプルを挟み込んだサンプルホルダー(上)とサンプルホルダー(下)は4つのスクリーねじによって固定され、その状態で可動ステージにセットされる。サンプルホルダー(上)には銅配線が形成されており、端部に形成した信号引き出し用コネクタによって、計測器との接続を確保する。

Fig.2-11 は評価サンプルの先端部の外観写真を示す。印加ロッドには開口幅と奥行きそれぞれが約 1 mmのスリットが加工してあり、評価サンプルの先端部がスリットに差し込まれるように設計されている。圧力印加用マイクロメーターで印加ロッドを上下方向に動かすことで、評価サンプルに上下両方向の加重を与えることが出来る。本研究では DUT は評価サンプルの上面側に形成されているので、評価サンプルを下方向に押し込むことで引張応力を、上方向に引き上げることで圧縮応力を、それぞれ印加することが出来る。DUT とサンプルホルダー(上)に形成した銅配線との電氣的接続には直径 50 μm の金ワイヤーを用いた。

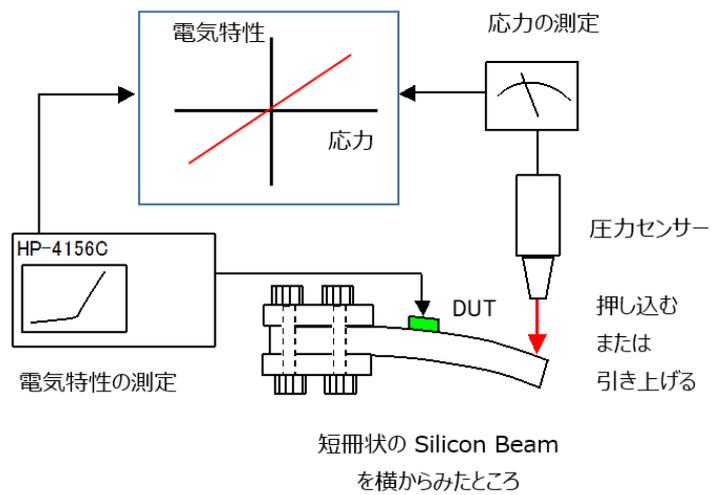


Fig.2-8 Outline of cantilever bending calibration system.

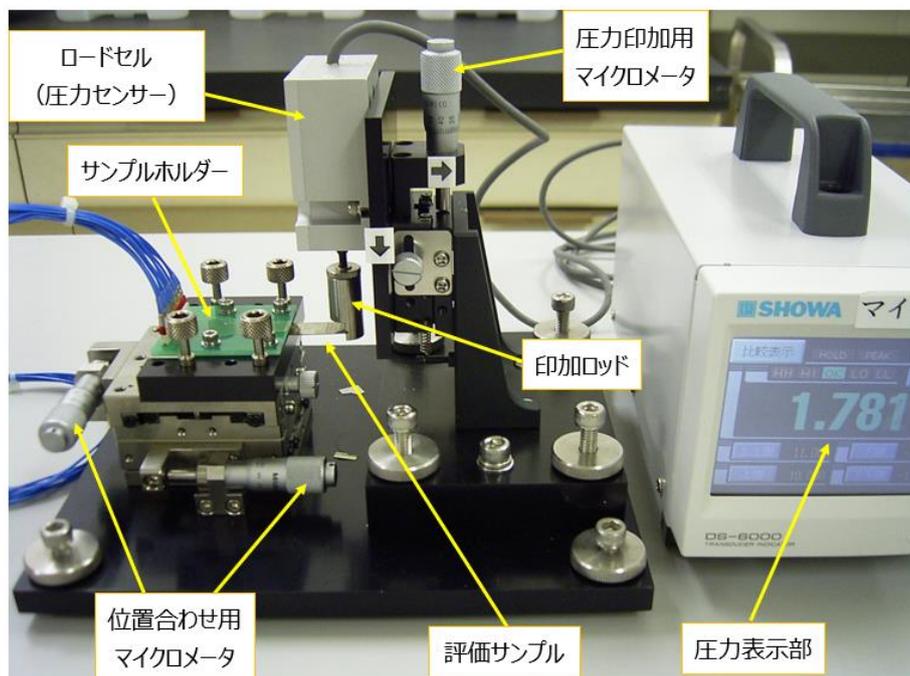


Fig.2-9 Picture of cantilever bending calibration system.

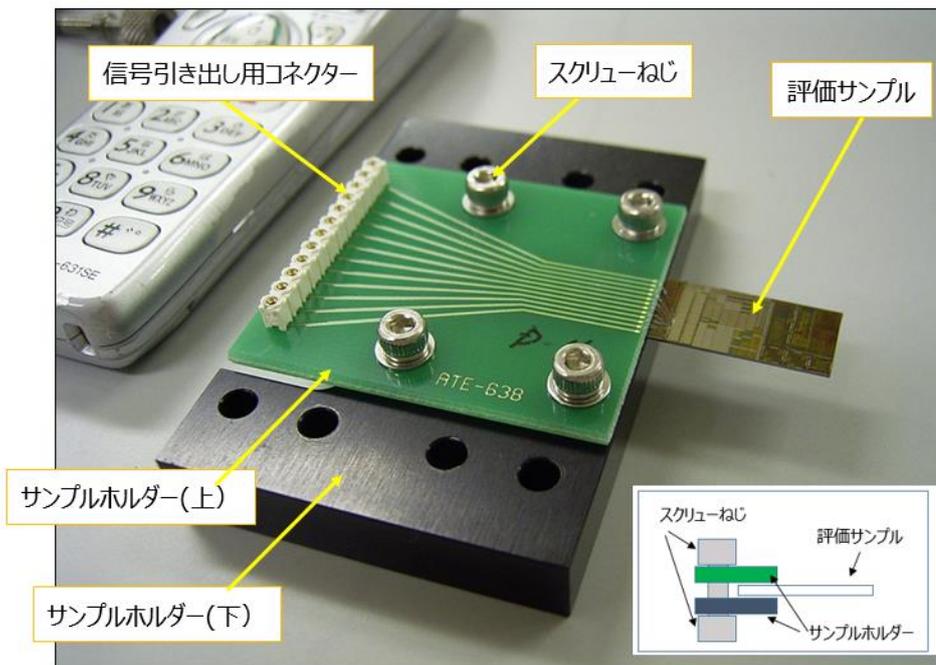


Fig.2-10 Picture of sample holder.

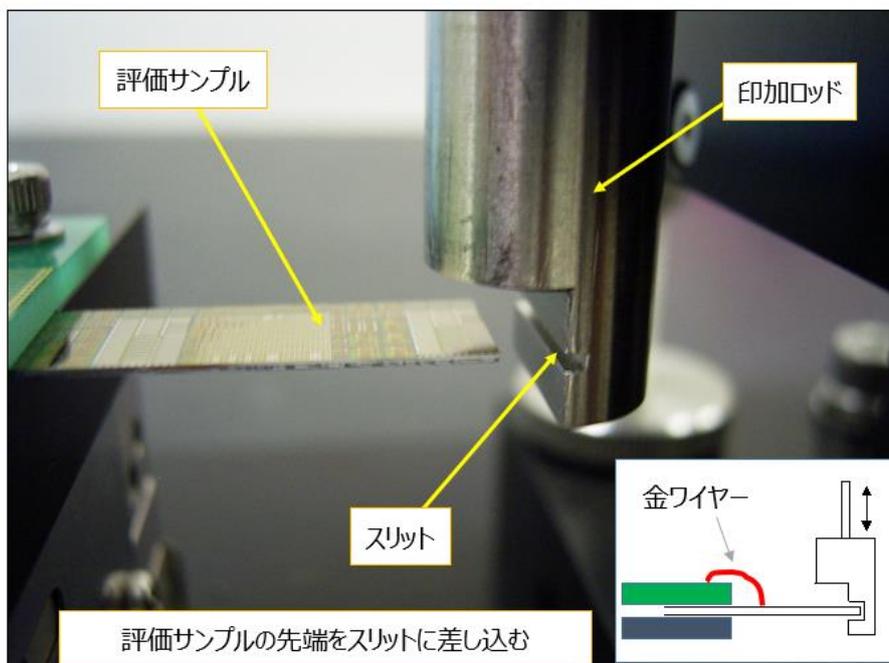


Fig.2-11 Picture of sample tip part.

2-3-2. ピエゾ抵抗素子の応力感度

前章で説明した応力評価装置を用いて、ピエゾ抵抗素子の応力感度を評価した。Fig.2-12 のように、片持ち梁の状態では DUT が受ける応力: S は、曲げモーメント: M と断面係数: Z により次式で与えられる。

$$S = \frac{M}{Z} \quad (2)$$

ここで、評価サンプルの先端部に加える加重を W 、DUT と先端部との距離を L とし、評価サンプルの幅と厚みをそれぞれ b 、 h とすると、曲げモーメント: M と断面係数: Z がそれぞれ、

$$M = W \times L \quad (3)$$

$$Z = \frac{b \times h^2}{6} \quad (4)$$

であることから、最終的に応力: S は以下の式で求めることが出来る[33]。

$$S = \frac{M}{Z} = \frac{6 \times W \times L}{b \times h^2} \quad (5)$$

一例として、 $L=30 \text{ mm}$ 、 $b=10 \text{ mm}$ 、 $h=0.4 \text{ mm}$ の評価サンプルに、加重として $W=0.2 \text{ Kg}$ を印加した際の DUT には約 220 MPa の応力が発生する。

本研究ではシリコンチップに生じる応力をチップ表面に平行で互いに直交する 2 つの応力成分として分離抽出することを目的に、ピエゾ抵抗素子の配置方向を Fig.2-13 に示す 2 種類とした。すなわち、

ピエゾ抵抗素子に流れる電流の方向が印加する応力の方向と平行な配置にしたもの。

➡ これを本文中では Stress//Current と表記する。

ピエゾ抵抗素子に流れる電流の方向が印加する応力の方向と垂直な配置にしたもの。

➡ これを本文中では Stress⊥Current と表記する。

本研究で用いた N 型半導体 (N+Si) と P 型半導体 (P+Si) の 2 種類の抵抗体に対して採取した応力感度特性を Fig.2-14 に示す。また、そこから読み取った応力感度、すなわち、最小二乗法によって直線近似したグラフの傾きを Table 2-1 に示す。

Table 2-1 Extraction of piezoresistive coefficients.

	Stress//Current	Stress⊥Current
N+Si	-0.015	-0.003
P+Si	0.029	-0.027

(%/MPa)

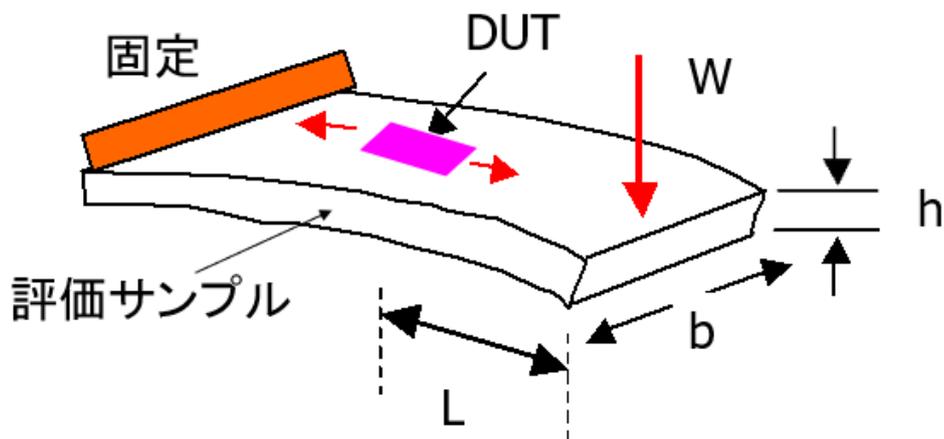


Fig.2-12 Calculation of stress.

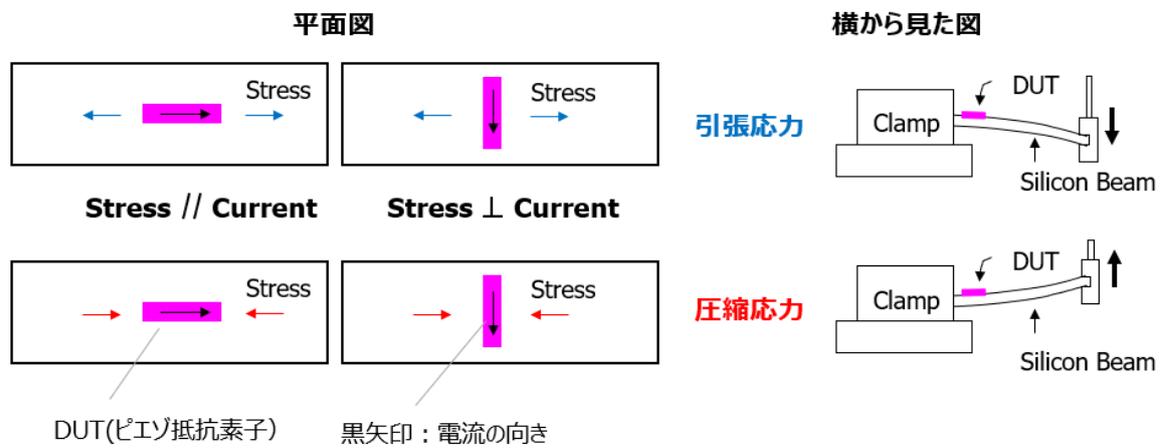


Fig.2-13 Arrangement of piezo resistor.

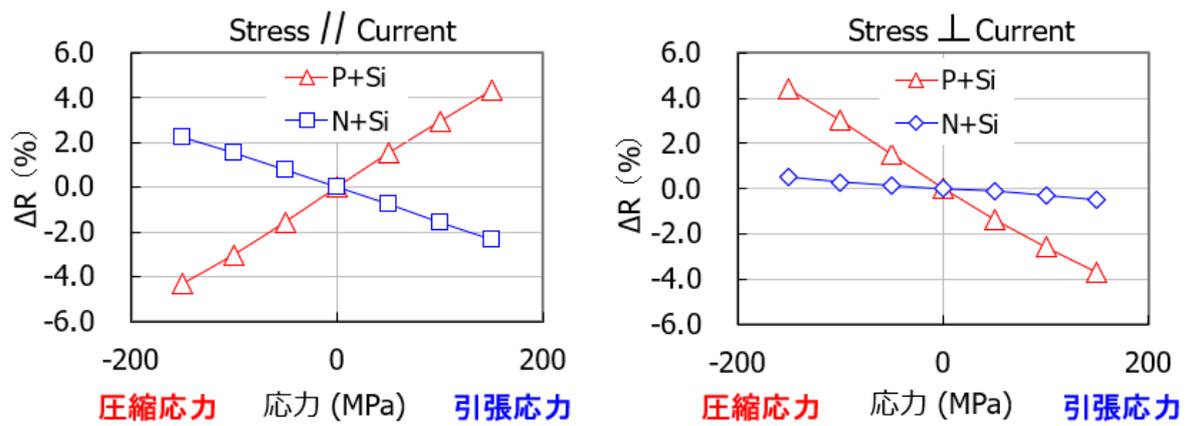


Fig.2-14 Calibration results for p- and n-type piezo resistors.

2-3-3. 応力の算出

Fig.2-15 に示すシリコンウエハにおける座標系において、(1 0 0) 面を持つ単結晶シリコンにおいて、 $\langle -1\ 1\ 0 \rangle$ 方向に配置したピエゾ抵抗素子の抵抗値は、以下の式で表される[8, 9].

$$\frac{\Delta R}{R} = \left(\frac{\pi_{11} + \pi_{12} + \pi_{44}}{2} \right) S_y + \left(\frac{\pi_{11} + \pi_{12} - \pi_{44}}{2} \right) S_x + \pi_{12} S_z \quad (6)$$

ここで、 R は応力ゼロの時の抵抗値、 ΔR はピエゾ抵抗効果による抵抗値の変化量、 π_{ij} は図示する座標系におけるピエゾ抵抗係数、 S_x , S_y はそれぞれ図示する X 軸、Y 軸方向に平行な応力成分を示す。また、 S_z は図示する X 軸、Y 軸の両方に直交する Z 軸方向、すなわち、紙面に対して垂直な方向の応力成分を示す。

ここで本研究の評価サンプルは、半導体製造技術で形成したシリコンチップを対象としていることに着目する。すなわち、構造体としては Z 軸方向の寸法（本研究の場合はシリコンウエハ上に形成した絶縁膜や金属配線の膜厚に相当し、約 0.5~1 μm 程度の大きさ）が X 軸、Y 軸方向の寸法（本研究の場合は小型 IC のチップサイズに相当し、約 1 mm 角程度の大きさ）に対して 3 桁以上も小さい、という特徴を有している。このような場合、応力成分の抽出作業を簡略化するために、Z 軸方向の応力を無視しても結果には大きく影響しない[8-10]。そこで本研究においても、Z 軸方向の応力を無視することを行なう。すなわち、式 (6) において $S_z = 0$ を仮定する。そして、ピエゾ抵抗素子として N 型の半導体抵抗と P 型の半導体抵抗の 2 種類を想定すると、それぞれ以下の式 (7), (8) が得られる。

$$\frac{\Delta R^N}{R^N} = \left(\frac{\pi_{11}^N + \pi_{12}^N + \pi_{44}^N}{2} \right) S_y + \left(\frac{\pi_{11}^N + \pi_{12}^N - \pi_{44}^N}{2} \right) S_x \quad (7)$$

$$\frac{\Delta R^P}{R^P} = \left(\frac{\pi_{11}^P + \pi_{12}^P + \pi_{44}^P}{2} \right) S_y + \left(\frac{\pi_{11}^P + \pi_{12}^P - \pi_{44}^P}{2} \right) S_x \quad (8)$$

ここで、上記の式 (7), (8) における右辺の 4 つの係数に着目する。これらの係数は Fig.2-15 に示す座標系において、Y 軸と平行に配置したピエゾ抵抗素子の抵抗値変化率を示すものであり、第一項が S_y に対する挙動を、第二項が S_x に対する挙動をそれぞれ示していることから、それらはすなわち、

第一項の係数は, Stress//Current における応力感度を

第二項の係数は, Stress⊥Current における応力感度を

それぞれ表していることが分かる。そして, 式 (7) が N 型半導体のピエゾ抵抗素子に関して, 式 (8) が P 型半導体のピエゾ抵抗素子に関して, それぞれ表していることから, 4 つの係数は前述の Table 2-1 に他ならない。一方, 式 (7), (8) における左辺はそれぞれ, N 型半導体, P 型半導体のピエゾ抵抗素子のパッケージ工程に伴う抵抗値変化を表しているので, これらは Fig.2-5 記載のテストチップを用いて採取することが出来る。以上の過程を経て最終的に, 左辺の値, および右辺の 4 つの係数をそれぞれ式 (7), (8) に代入することで, 右辺の変数である S_y , S_x を代数的に算出することが出来る。

以上で述べた一連の流れを以下で整理し, これらを Fig.2-16 に模式的に示す。

- ① 応力を検出するセンサーとして, 半導体製造技術を用いてピエゾ抵抗素子を準備する。
 - ・N 型と P 型の 2 種類を準備する。
 - ・ピエゾ抵抗素子は(100)シリコンにおいて $\langle -110 \rangle$ 方向に配置する。
 - ・ピエゾ抵抗素子の抵抗値のみを計測できるよう, Kelvin 接続にする。
- ② ピエゾ抵抗素子の既知の応力に対する抵抗値変化量を測定する。
 - ・N 型と P 型の 2 種類に対して測定する。
 - ・応力に対して電流が平行な場合と垂直な場合の両方を測定する。
- ③ ピエゾ抵抗素子の応力感度を抽出する。
 - ・近似直線の傾きから, 単位応力あたりの抵抗値変化量を得る。
- ④ 対象とする小型 IC チップと同じチップサイズ/同じボンディングパッド配置のテストチップを準備し, ①と同じピエゾ抵抗素子について, その抵抗値をウエハ状態とパッケージ状態の両方で測定し, 抵抗値の変化量 (パッケージ工程に起因する変化量) を抽出する。
 - ・小型 IC チップと同一形状のテストチップを準備する。
 - ・ピエゾ抵抗素子は(100)シリコンにおいて $\langle -110 \rangle$ 方向に配置する = ①。
 - ・N 型と P 型の 2 種類に対して測定する。
- ⑤ シリコンチップ表面の二軸の応力成分 (S_x , S_y) に関する理論式 (式(7), (8)) に③④の結果を代入することで, 二軸の応力成分 (S_x , S_y) を得る。

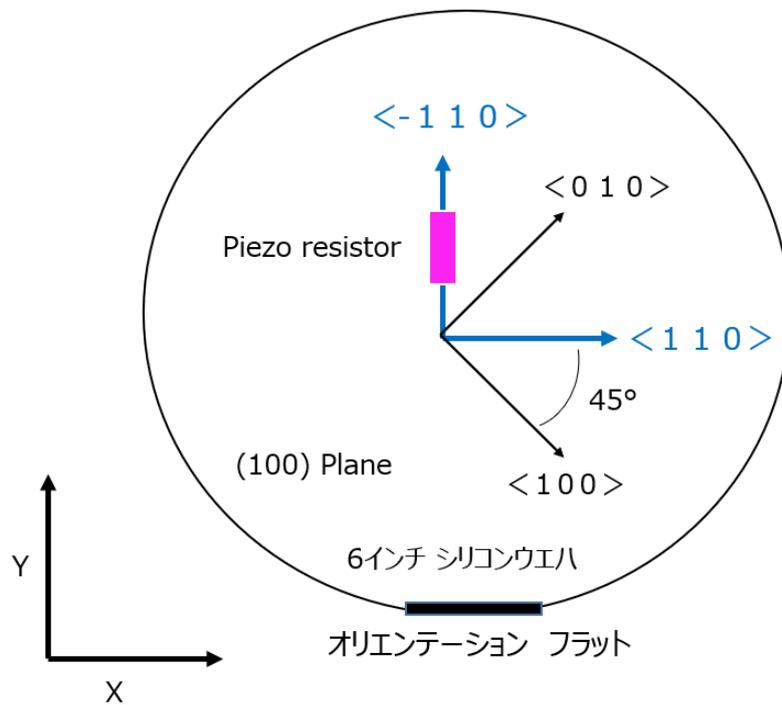


Fig.2-15 Relationship between crystallographic axis and piezo resistor.

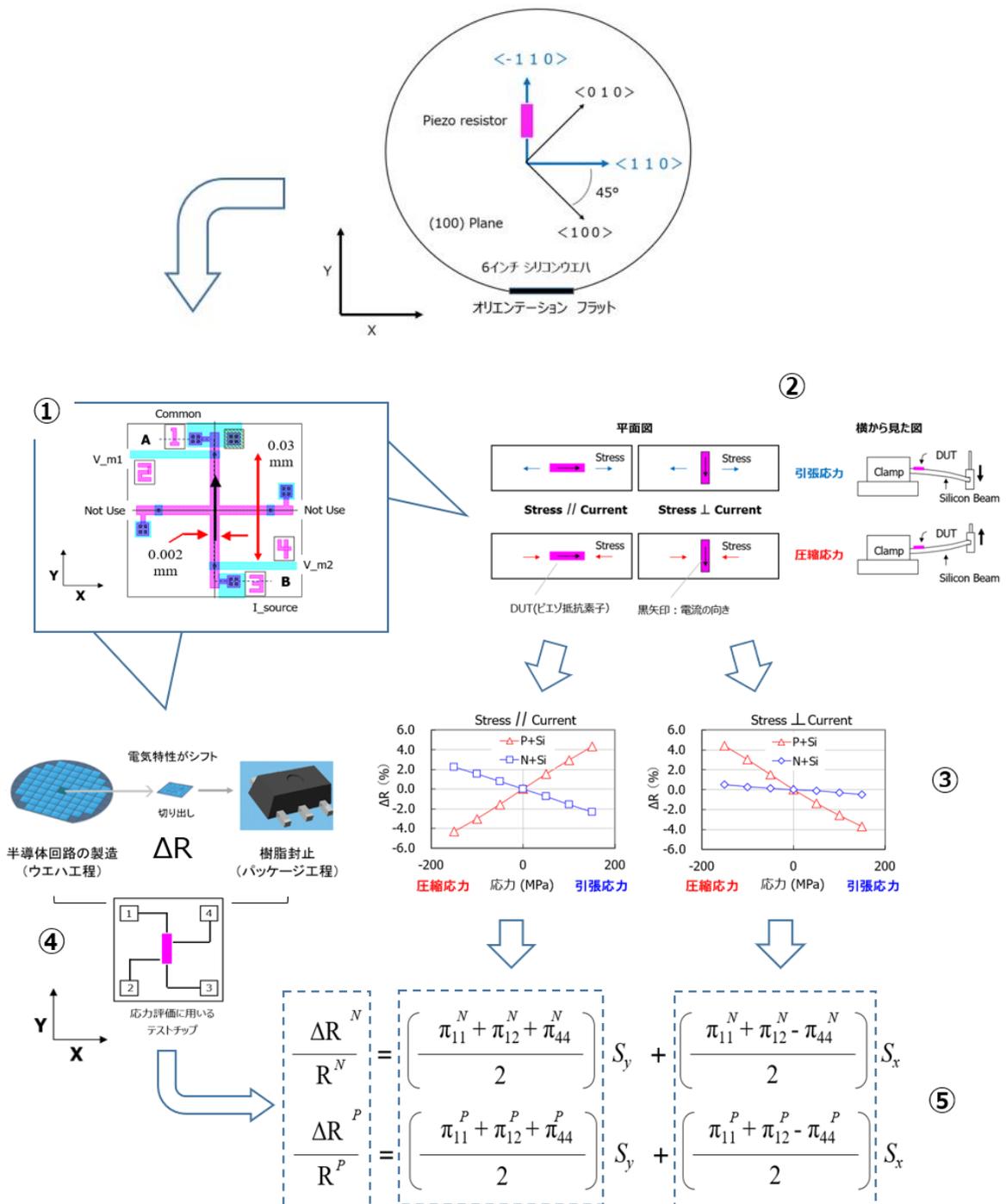


Fig.2-16 Overview of measurement method for package-induced stress.

2-4. 小型 IC チップの面内多点データを取得する技術

緒言で述べたように、本研究が対象とする小型 IC チップは、外部との接続端子（ボンディングパッド）の数が 4 個程度しかないので、一つのテストチップで測定できるピエゾ抵抗素子の数が限られている。具体的には本評価において、抵抗値の測定方法として 4 端子法を採用したことで、一つのテストチップで測定できるのは一つのピエゾ抵抗素子のみ、すなわち、チップ面内で一か所のみ測定となってしまう。本研究では、この制約下において、チップ面内の多点測定を可能にする方法を考案し、実際に適用したので、以下でそれを説明する。

2-4-1. チップごとにピエゾ抵抗素子の配置場所を変えたテストチップ群

ひとつのチップ面内にあらかじめ複数のピエゾ抵抗素子を配置したテストチップを Fig.2-17 に示す。この例ではチップサイズとして横 0.8 mm、縦 1.2 mm のテストチップに対して、格子状に並んだ 45 か所にピエゾ抵抗素子を配置している。それぞれのピエゾ抵抗素子は X 方向には 0.1 mm の間隔で、Y 方向には 0.16 mm、もしくは、0.17 mm の間隔で配置されている。ピエゾ抵抗素子は Fig.2-2 で説明したものと同一のものである。Fig.2-17 では、チップ内左上の丸で囲ったピエゾ抵抗素子（31 番）に対して、4 つのボンディングパッドに金属配線を引き回して接続を行っている。ピエゾ抵抗素子の図に示す番号 1～4 の各端子がテストチップの図に示す番号 1～4 のボンディングパッドに接続されている。当然ながらこのテストチップにおいては、31 番以外の他の 44 か所のピエゾ抵抗素子は電氣的に孤立した状態であり、この状態のままでは抵抗値の測定は実施出来ない。

本研究では、45 か所全てのピエゾ抵抗素子の抵抗値を測定するために、45 種類のテストチップを準備した。そして、テストチップごとに金属配線の引き回し方を変えることで、一つのテストチップが場所の異なる一つのピエゾ抵抗素子の測定を担うようにした。すなわち、45 通りのテストチップを使って 45 か所のピエゾ抵抗素子の測定が出来るようにした。Fig.2-18 に 45 種類のテストチップの概要図を示す。この図で左上の青四角で囲った 31 番のテストチップが Fig.2-17 のテストチップである。テストチップごとに金属配線の引き回し具合が異なることに注意されたい。

テストチップの個数がそのままピエゾ抵抗素子の配置箇所の数になるので、この数が多いほどより詳細な面内分布情報を得ることが可能になる。本研究では最小で 17 か所、最大で 45 か所に対して、ピエゾ抵抗素子を配置したテストチップ群を作製した。（付録-1）

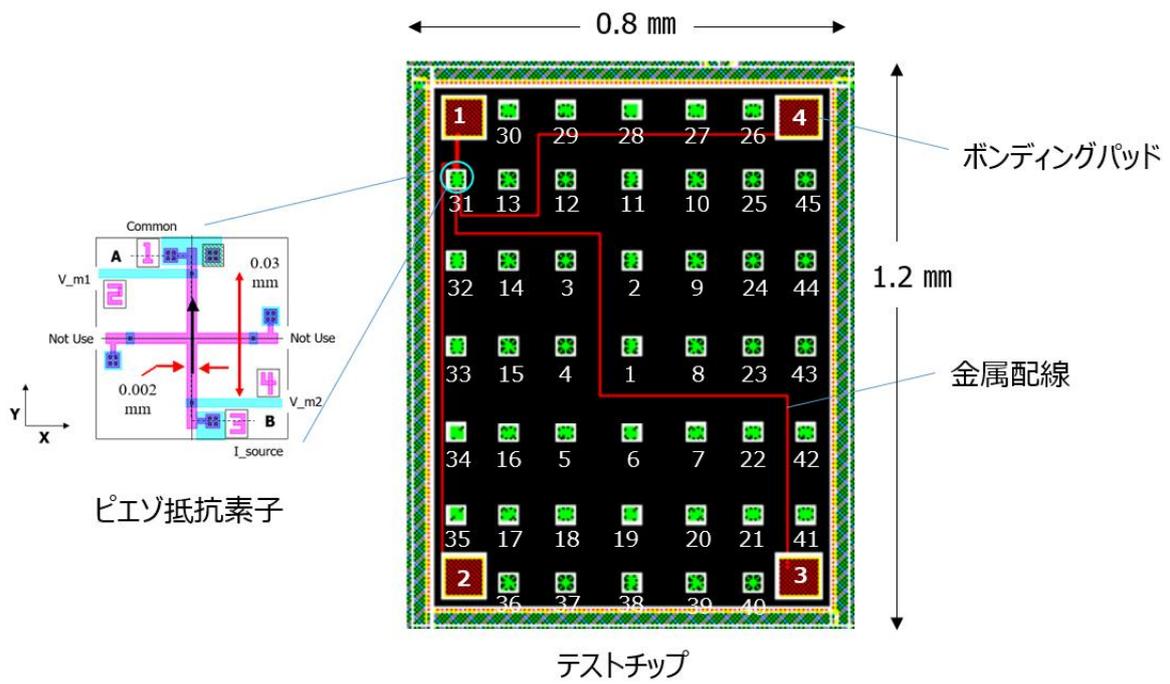
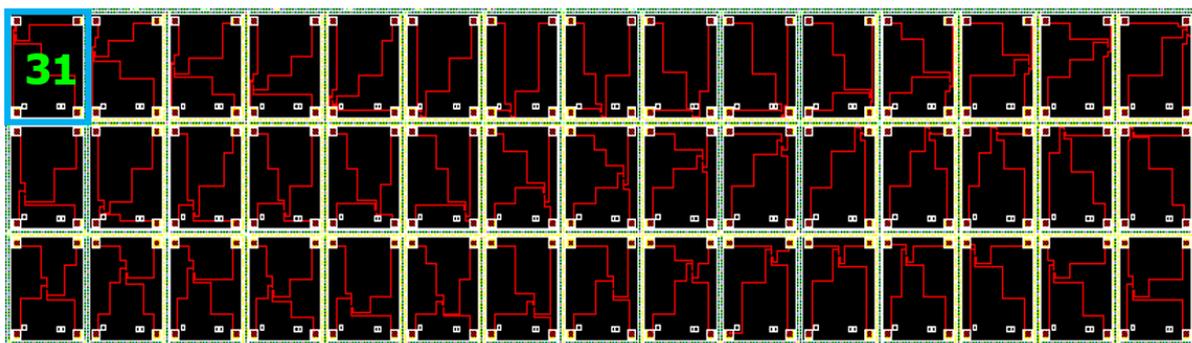


Fig.2-17 A test chip with 45 piezo resistors.



31	32	33	34	35	36	37	38	39	40	41	42	43	44	45
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

Fig.2-18 45 test chips with different piezo resistor positions.

2-4-2. 複数チップのデータを一つのチップ上に重ねて表示する手法

本研究では、上記のテストチップ群を準備したうえで、「複数の異なるテストチップから採取した複数のデータを、一つのチップ面内に同時に表示する方法」を考案し、実行した。以下でその方法を説明し、概要図として Fig.2-19 に示す。

小型 IC チップの面内多点データを取得する方法

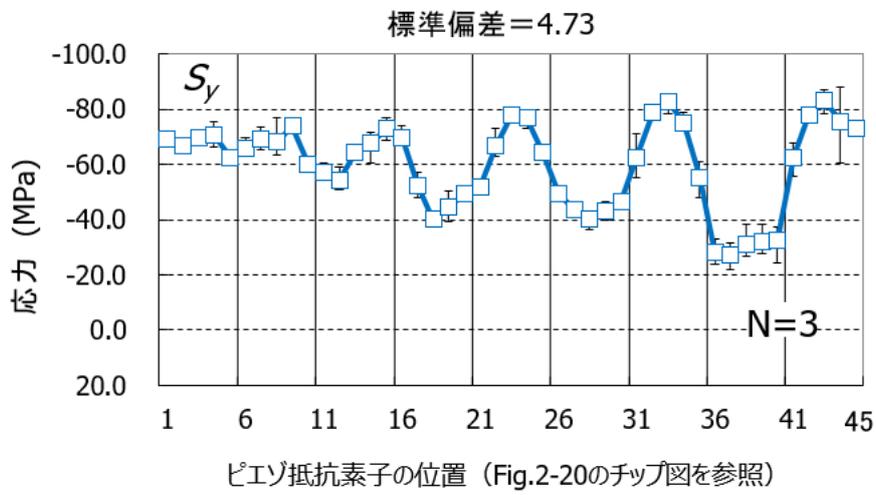
- ・チップ面内の一か所の測定を一つのテストチップが担う。
- ・チップ面内の測定箇所を変えた複数種類のテストチップを準備する。
- ・全ての測定結果を一つのチップ面内に同時に表示する。

今回の例では、45 種類のテストチップを使って 45 か所のピエゾ抵抗素子の測定を行ったので、その概要を Fig.2-20 に示す。図に示した 45 個のテストチップは Fig.2-18 で示したものと同一のものである。

この方法における重要な点として、個々のテストチップの個体差、例えばテストチップの加工ばらつきや測定の誤差が、チップ面内の分布情報の再生に影響を与えないことが求められる。すなわち、ピエゾ抵抗素子の配置場所の違いによる測定結果の再現性が重要である。この点を担保するため、本研究においては以下の技術的配慮を行った。

まず、テストチップの作製方法としてサブミクロン級の半導体製造技術を用いた。このことで各テストチップにおける加工ばらつきを極力小さくして、ピエゾ抵抗素子の配置場所のみを変えたテストチップ群を作製した。また、測定方法として Kelvin 接続による 4 端子法を用いた。このことでテストチップごとに金属配線の引き回しが異なることから生じるばらつき要因、すなわち、金属配線が持つ寄生抵抗成分を排除した。

実際に Fig.2-20 で示した 45 種類のテストチップ群に対して、本手法を適用した結果を Fig.2-21 に示す。グラフで横軸は Fig.2-20 で示したピエゾ抵抗素子の配置場所を、縦軸は得られた応力の値を、それぞれ示す。チップ内の各場所について $N=3$ 個のデータを採取し、45 か所の配置場所に対してグラフ化を行っている。すなわち、一つのグラフが 135 個 ($= 3 \times 45$) の N 型ピエゾ抵抗素子を搭載したテストチップ群と、それに対応する 135 個の P 型ピエゾ抵抗素子を搭載したテストチップ群から、それぞれ採取されたデータによって算出された応力値から出来ていることを特記する。各場所の 3 個のデータから計算される偏差を用いた 45 か所のデータ群の標準偏差は S_y で 4.73, S_x で 7.37 であり、この値は全体の応力分布に対して小さく抑えられている。従って、ピエゾ抵抗素子の配置場所の違いによる測定結果の再現性が確保できており、本手法が小型 IC のチップ面内応力の評価に有効であることを示した[35]。(研究業績/特許 No-1, No-2)



(a) y-direction stress (S_y)



(b) x-direction stress (S_x)

Fig.2-21 Repeatability of the proposed method.

2-5. 応力分布の可視化

以上の方法で測定した小型 IC チップのチップ面内の応力分布を Fig.2-22 に示す。左図が X 軸方向の応力成分 (S_x) を、右図が Y 軸方向の応力成分 (S_y) を、それぞれ示している。得られた応力値は全て負の値であり、圧縮応力であることが分かる。また、 S_x はおよそ Y 軸と平行な傾斜分布、 S_y はおよそ X 軸と平行な傾斜分布であり、それぞれチップ中央部で最大値を持ち、両端部に向かって徐々に小さくなる傾向が確認できる。それぞれの最大応力値は S_y で約 90 MPa、 S_x で約 50 MPa であり、 S_y のほうが S_x より約 1.8 倍の大きさを示した。分布図から明らかなように、応力値がゼロの場所は存在せず、このことからチップ面内のあらゆる場所において、ピエゾ抵抗効果による特性シフトが生じることが予測される。

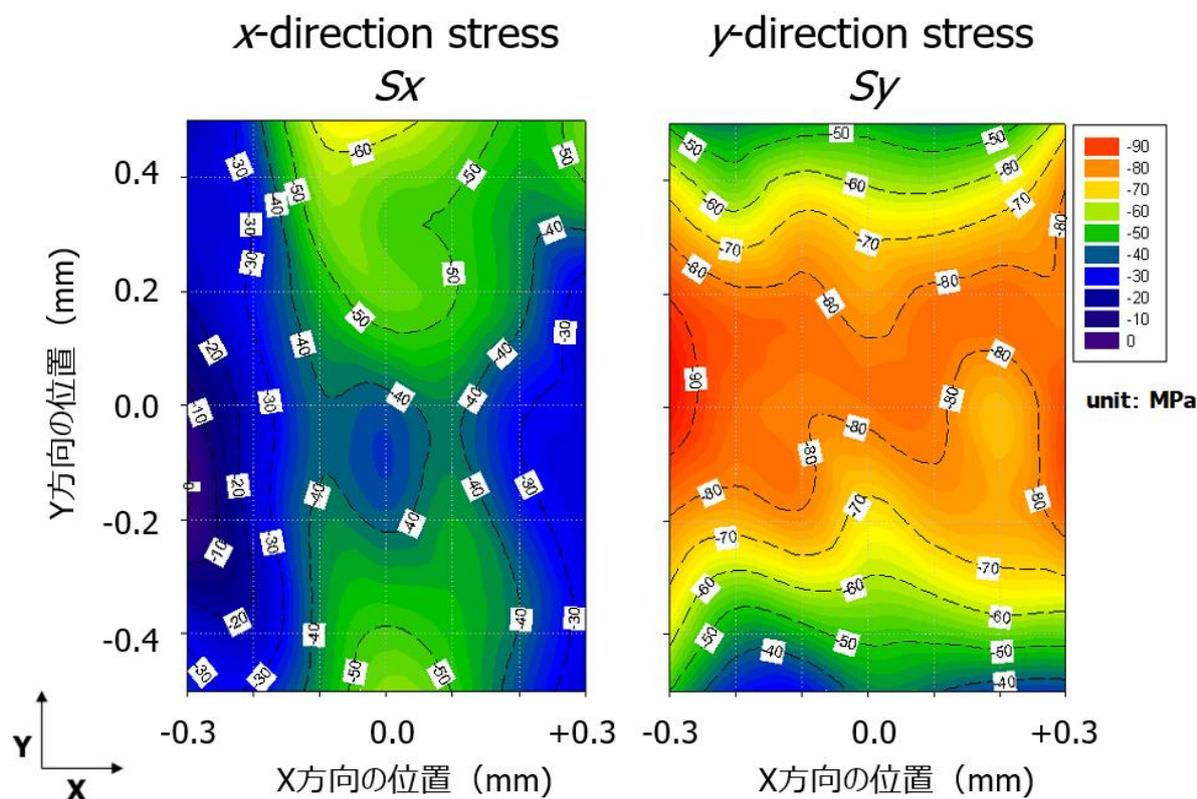


Fig.2-22 Stress distributions for 0.8 mm (W) × 1.2 mm (L) test chip.

2-6. 結言

本章では小型 IC チップのパッケージ起因応力分布の可視化を目的に、
専用の評価治具（キャリブレーション装置）
専用のテストチップ群（45 か所のピエゾ抵抗素子を測定する 45 種類のテストチップ）
を作製したことを説明した。そして、筆者が独自に考案した手法を用いることで、ボンディングパッドが 4 つ
しかない小型 IC チップに対して、その応力分布の可視化を実現し、以下のことを明らかにした。

- 1) 得られた応力値は全て負の値であり、圧縮応力である。
- 2) S_y 、 S_x ともにチップ中央部で最大値を持ち、両端部に向かって徐々に小さくなる。
- 3) それぞれの最大応力値は S_y で約 90 MPa、 S_x で約 50 MPa であった。
- 4) 応力値がゼロの場所は存在せず、チップ面内のあらゆる場所において、ピエゾ抵抗効果による特性シフトが生じることが予測される。

参考文献

- [1] C. S. Smith, "Piezoresistance Effect in Germanium and Silicon," *Physical Review*, Vol. 94, No. 1, pp. 42-49, Apr. 1954.
- [2] O. N. Tufte, and E. L. Stelzer, "Piezoresistive Properties of Silicon Diffused Layers," *J. of Applied Physics*, Vol. 34, No. 2, Feb. 1963.
- [3] O. N. Tufte, and E. L. Stelzer, "Piezoresistive Properties of Heavily Doped n-Type Silicon," *Physical Review*, Vol. 133, No. 6A, pp. 1705-1716, Mar. 1964.
- [4] J. Y. W. Seto, "Piezoresistive properties of polycrystalline silicon," *J. of Appl. Phys*, Vol. 47, No. 11 pp. 4780-4783, Nov. 1976.
- [5] 小松 茂, 高橋 敏, 鈴木 幸治, 若槻 雅男, "半導体デバイスにおける内部応力の解析手法," 第 8 回日科技連信頼性・安全性シンポジウム, Sess. I -(3)-7, pp. 77-82, 1978.
- [6] Y. Kanda, "A Graphical Representation of the Piezoresistance Coefficients in Silicon," *IEEE Trans. on Electron Devices*, Vol. ED-29, No. 1, pp. 64-70, Jan. 1982.
- [7] T. Toriyama, and S. Sugiyama, "半導体ピエゾ抵抗素子のひずみ-抵抗係数とその結晶方位依存性," 立命館大学理工学研究所紀要第 56 号, pp. 157-170, 1997.
- [8] D. A. Bittle, J. C. Suhling, R. E. Beaty, R. C. Jaeger, and R. W. Johnson, "Piezoresistive Stress Sensors for Structural Analysis of Electronic Packages," *J. of Electronic Packaging*, Vol. 113, pp. 203-215, Sep. 1991.
- [9] J. C. Suhling, and R. C. Jaeger, "Silicon Piezoresistive Stress Sensors and Their Application in Electronic Packaging," *IEEE Sensors J*, Vol. 1, No. 1, pp. 14-30, Jun. 2001.
- [10] Y. Tanimoto, T. Toriyama, and S. Sugiyama, "Characteristics of Polycrystalline Si Nano Wire Piezoresistors," *IEEJ Trans. on Sensors and Micromachines*, Vol. 121, No. 4, pp.209-214, 2001.

- [11] T. Toriyama, and S. Sugiyama, "Analysis of Piezoresistance in p-Type Silicon for Mechanical Sensors," *J. of Microelectromechanical Systems*, Vol. 11, No. 5, pp. 598-604, Oct. 2002.
- [12] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "IC プラスチックパッケージ内シリコンチップ残留応力の検討," 日本機械学会論文集 (A 編) 55 巻 516 号 (1989-8) , pp. 1763-1770, 1989.
- [13] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "IC パッケージ内シリコンチップ残留応力に及ぼすパッケージ構造の影響," 日本機械学会論文集 (A 編) 56 巻 522 号 (1990-2) , pp. 365-371, 1990.
- [14] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "IC プラスチックパッケージ内シリコンチップ熱応力の検討," 日本機械学会論文集 (A 編) 57 巻 539 号 (1991-7) , pp. 1575-1580, 1991.
- [15] A. Hamada, T. Furusawa, N. Saito, and E. Takeda, "A New Aspect of Mechanical Stress Effects in Scaled MOS Devices," *IEEE Trans. on Electron Devices*, Vol. 38, No. 4, pp. 895-900, Apr. 1991.
- [16] H. Miura, M. Kitano, A. Nishimura, and S. Kawai, "Thermal Stress Measurement in Silicon Chips Encapsulated in IC Plastic Packages Under Temperature Cycling," *J. of Electronic Packaging*, Vol. 155, pp. 9-15, Mar. 1993.
- [17] 杉浦 紀久子, 仲澤 勉, 澤田 佳奈子, 須藤 俊夫, 池水 守彦, 小園 浩由樹, 酒匂 重樹, 沢谷 博道, "プラスチックパッケージでの応力測定素子開発とその応用," 電子情報通信学会, *Technical Report of IEICE*, ICD94-150, pp. 25-32, 1994.
- [18] 三浦 英生, 西村 朝雄, "パッケージング応力起因の半導体素子特性変動," 日本機械学会論文集 (A 編) 61 巻 539 号 (1995-9) , pp. 1957-1964, 1995.
- [19] H. Ali, "Stress-induced parametric shift in plastic packaged devices," *IEEE Trans. on Components, Packaging, and Manufacturing Technology*, Part B, vol. 20, no. 4, pp. 458-462, Nov. 1997.

- [20] H. Miura, "Structural Reliability Design of Plastic Packages Using Cu-alloy Lead-frames," *IEEE Electronics Packaging Technology Conference*, pp. 785-790, 2003.
- [21] S. Komatsu, K. Suzuki, N. Iida, T. Aoki, T. Ito, and H. Sawazaki, "Stress-insensitive diffused resistor network for a high accuracy monolithic D/A converter," *IEEE Trans. on Electron Devices*, pp. 144-148, 1980.
- [22] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "ICプラスチックパッケージ内応力測定素子の開発とその応用," *日本機械学会論文集 (A 編) 53 卷 493 号 (昭 62-9)*, pp. 1826-1832, 1987.
- [23] S. A. Gee, W. F. van den Bogert, and V. R. Akylas, "Strain-Gauge Mapping of Die Surface Stresses," *IEEE Trans. on Components, Hybrids, and Manufacturing Tech.*, Vol. 12, No. 4, pp. 587-593, Dec. 1989.
- [24] R. Pendse, and J. Demmin, "Test Structures and Finite Element Models for Chip Stress and Plastic Package Reliability," *Proc. IEEE 1990 Int. Conf. on Microelectronic Test Structures*, Vol. 3, pp. 155-160, Mar. 1990.
- [25] Q. Nguyen, J. C. Roberts, J. C. Suhling, and R. C. Jaeger, "A study of Moisture and Thermally Induced Die Stresses in Plastic Ball Grid Array Packages," *16th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm)*, 2017.
- [26] Michael B. Heaney, "Electrical Conductivity and Resistivity," *CRC Press, Electrical Measurement, Signal Processing, and Displays*, 第 7 章, 2003.
- [27] S. A. Gee, V. R. Akylas, and W. F. van den Bogert, "The Design and Calibration of a Semiconductor Strain Gauge Array," *IEEE Proc. on Microelectronic Test Structures*, Vol. 1, No. 1, pp. 185-191, Dec. 1988.
- [28] Arthur T. Bradley, R. C. Jaeger, J. C. Suhling, and K. J. O'Connor, "Piezoresistive Characteristics of Short-Channel MOSFETs on (100) Silicon," *IEEE Trans. on Electron Devices*, Vol. 48, No. 9, pp. 2009-2015, Sep. 2001.

- [29] P. Alpuim, V. Chu, and J. P. Conde, "Piezoresistive Sensors on Plastic Substrates Using Doped Microcrystalline Silicon," *IEEE Sensors J*, Vol. 2, No. 4, pp. 336-341, Aug. 2002.
- [30] C. Gallon, G. Reibold, G. Ghibaudo, R.A. Bianchi, and R. Gwoziecki, "Electrical analysis of external mechanical stress effects in short channel MOSFETs on (001) silicon," *Solid-State Electronics*, Vol. 48, No. 4, pp. 561-566, Apr. 2004.
- [31] T. Miyashita and T. Tanaka, "Direct Measurement of Circuit Performance Enhancement under Mechanically Applied Uniaxial Strain," *Int. Conf. on Solid State Devices and Materials*, pp. 40-41, 2005.
- [32] F. Fruett, G. C. M. Meijer, and A. Bakker, "Low-drift bandgap voltage references," *Proc. of the 28th European Solid-State Circuits Conference*, pp. 383-386, 2002.
- [33] T. T. Bui, D. V. Dao, T. Toriyama, and S. Sugiyama, "EVALUATION OF THE PIEZORESISTIVE EFFECT IN SINGLE CRYSTALLINE SILICON NANOWIRES," *IEEE SENSORS 2009 Conference*, pp. 41-44, 2009.
- [34] 松田 弘, 山田 繁治, "新二版 材料力学ノート," 日本理工出版会, 第 5 章, pp. 95-110, ISBN4-89019-612-9, 2000.
- [35] N. Ueda, E. Nishiyama, H. Aota, and H. Watanabe, "Evaluation of Packaging-induced Performance Change for Small-scale Analog IC," *IEEE Trans. on Semiconductor Manufacturing*, Vol. 22, No. 1, February, pp. 103-109, 2009.

第3章 パッケージ工程が小型 IC チップに与える応力

3-1. 緒言

第2章では、ボンディングパッドが4個しかない小型 IC チップに関して、チップ面内の残留応力を局所的に評価する手法を用いて、応力分布を可視化する技術について説明した。本章では、この技術を用いて半導体集積回路のパッケージ工程で発生する応力について様々な観点から調査を行った。

Fig.3-1 に、(a)半導体パッケージの構造ロードマップ[1]、(b)代表的な小型パッケージの組立てフロー[2]を、それぞれ示す。ここで(a)構造ロードマップに記載のパッケージにおいて、パッケージ起因の残留応力に関する調査・解析が行われているものとしては SOP(Small Outline Package)、WL-CSP(Wafer Level-Chip Scale Package)、3-D Stack(3-Dimensional Stacked Chip Package) などが挙げられる。

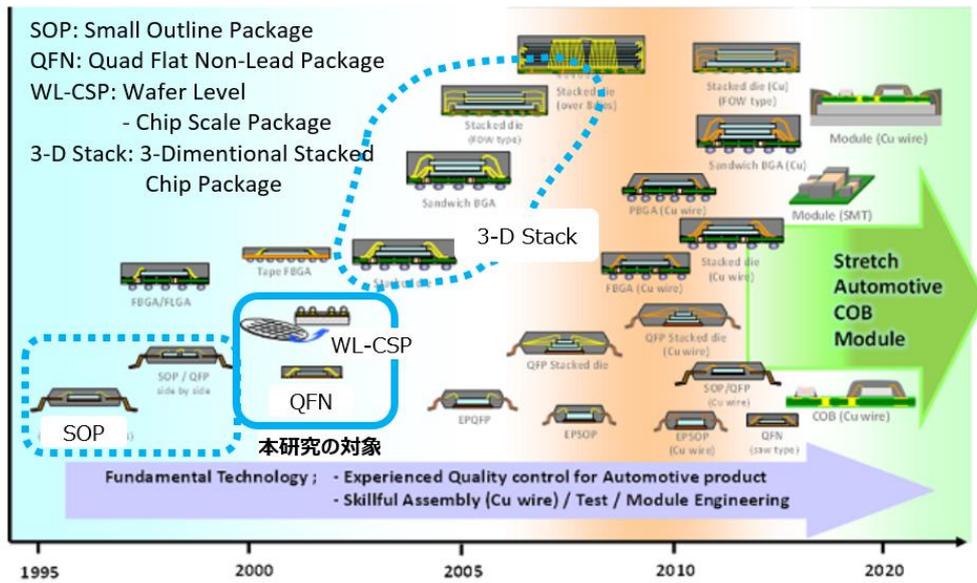
SOP は 80 年台～90 年代において DIP (Dual Inline Package) とともに多くの半導体製品に適用され、現在も小型パッケージを代表するレガシーパッケージとして、幅広く使われている。これらのパッケージに対して Miura らによって、N 型半導体と P 型半導体のピエゾ抵抗素子を用いたチップ内応力の網羅的な解析が報告されている[3-9]。

WL-CSP は電子部品の小型化と軽量化を実現させた画期的な技術として、2000 年台に登場したパッケージであり、小型化を必要とするスマートフォンやウェアラブル機器向けに現在も採用が続いている。このパッケージは、シリコンチップの直上に銅などの導電材料で電極を形成することで小型化を実現させているが (Fig.3-17, 3-18 で後述) , その反面、デバイス形成面の真上に物性の異なる材料が形成され、それを介して基板ボードに実装されることから、かねてよりデバイスへ加わる応力が懸念されていた。これに関して、Asano や Miura, Ono らによって、ピエゾ抵抗素子を搭載したテストチップを用いた応力測定や、有限要素法によるシミュレーション解析が行われている[10-17]。

さらに、WL-CSP の構造を発展させた技術として、複数のシリコンチップを重ね積みすることで小型化と高機能化を実現する試みが、3-D Stack として提案されている[18-23]。この構造に対する応力解析としては、Miura や Tomokage らによってテストチップとシミュレーションの両面から解析が進められている[24-30]。

本研究は、前述の通り小型でボンディングパッドが少ないという特徴を有する電源管理 IC を対象としている。電源管理 IC に対しては、その特徴との親和性の観点から QFN (Quad Flat Non-lead package) と WL-CSP がもっとも多く採用されている状況にある。そのため、本研究は特にこの2種類のパッケージを対象として実施した。QFN に関する応力解析を本章 3-2. に、WL-CSP に関する応力解析を本章 3-3. にそれぞれ示す。(付録-2)

Package milestone & Road MAP in ASEJ

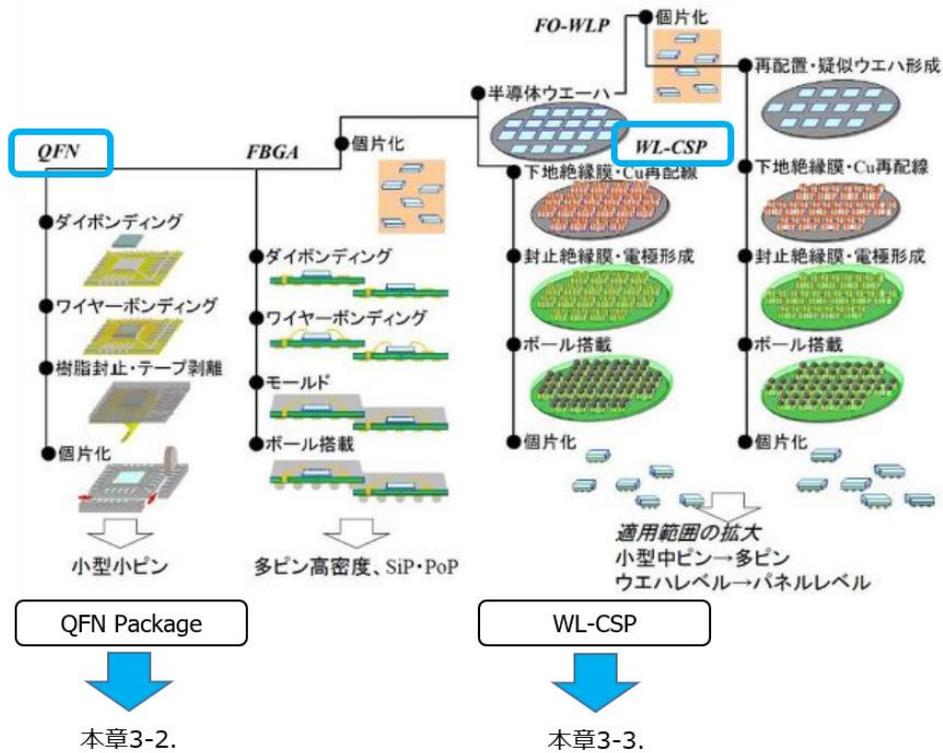


参考文献[1]より図を抜粋
 (a)半導体パッケージの構造ロードマップ

2019年度版 実装技術ロードマップ 完成報告会(2019.6.4) WG3電子デバイスパッケージ

3.4.1

小型高密度パッケージ



参考文献[2]より図を抜粋
 (b)代表的な小型パッケージの組立てフロー

Fig.3-1 Package road map and assembly process flow for IC chip.

3-2. QFN に関する応力解析

QFN の組み立てフローについて、Fig.3-1 を用いて以下で説明する。半導体集積回路を作り込んで検査を完了した完成ウエハの裏面を所定の厚みまで研削し、切断装置（Dicing saw）によって完成ウエハを個別のダイ（チップ）に切り分ける（個片化）。次にダイの裏面をリードフレームに接着する（ダイボンディング）。続いてパッケージの電極とダイの電極（ボンディングパッド）を金属ワイヤーによって結線する（ワイヤーボンディング）。そして全体を樹脂で封止する（樹脂封止）。QFN の組み立てフローにおいては、1 枚のリードフレームに数十個のチップを一度に搭載するので、樹脂封止も数十個のチップに対して一括して実施する。最後に樹脂封止したパッケージを 1 個ずつ切り分ける（個片化）。本章では、樹脂封止プロセスの影響に加えて、IC チップのサイズ、ダイ構造、チップ厚みなど様々な観点から残留応力に影響を及ぼす可能性のある因子に対して、評価を実施した。

3-2-1. 応力の発生工程

パッケージ工程によって発生する応力の原因を明らかにするために、QFN の組み立てフローの途中で工程を止めて応力を測定した。シリコンチップの寸法は横 0.8 mm、縦 0.7 mm、応力の測定はダイボンディング後とモールドダイシング後のそれぞれで測定した（Fig.3-2）。ダイボンディング後のテストチップの外観を Fig.3-3 に示す。リードフレームに接着され、樹脂封止前の外観が露出した状態のテストチップに対して、金属針を用いてボンディングパッドに接触することで測定を行った。

Fig.3-4 は樹脂封止後のサンプルの外観である。前述のとおり、1 枚のリードフレームに数十個のチップを一度に搭載するので、樹脂封止した直後のサンプルは板状になっている。この後、パッケージを 1 個ずつ切り分ける（モールドダイシング）した後のサンプルに対して、ダイボンディング後と同様に 4 本の金属針を用いて測定を行った。

測定結果を Fig.3-5 に示す。ダイボンディング後は明確な応力は確認されない。一方、モールドダイシング後は 40 MPa 以上の圧縮応力が発生している[31]。以上の結果から、QFN での応力は樹脂封止工程によって発生しており、その要因としては線膨張係数（第 1 章で Table 1 に示す）の大きいモールド樹脂の硬化収縮にあることが考えられる。

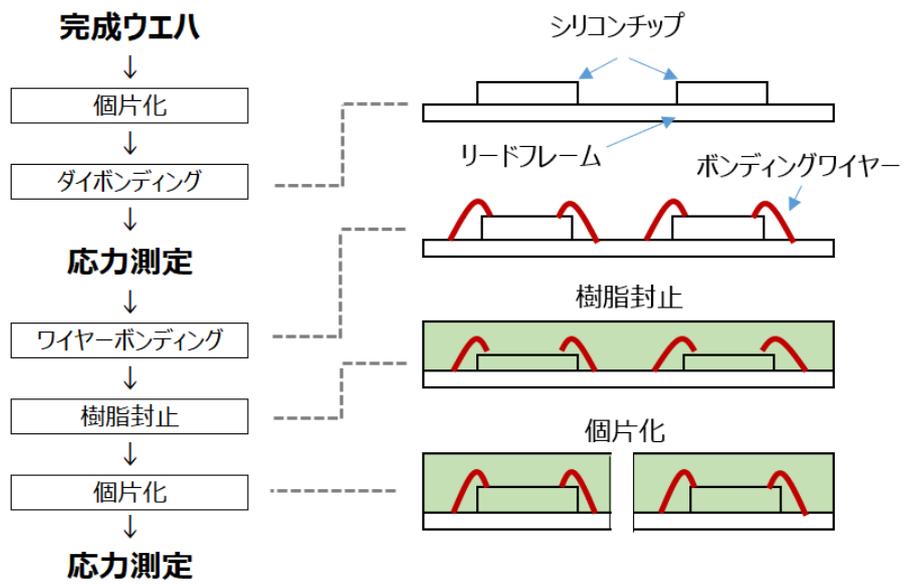


Fig.3-2 Process flow and stress measurement for QFN package.

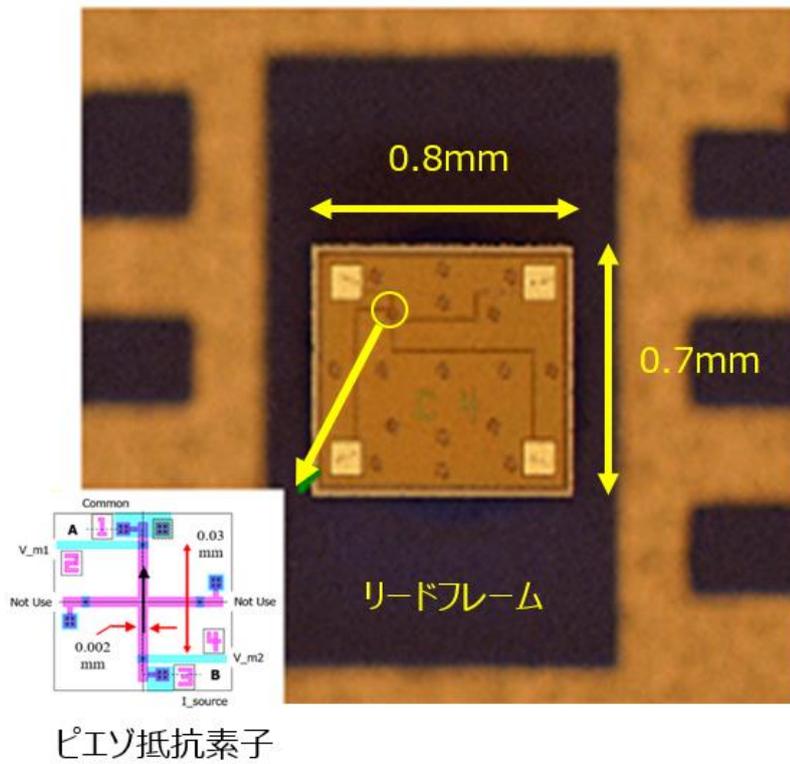


Fig.3-3 Test chip after die bonding.

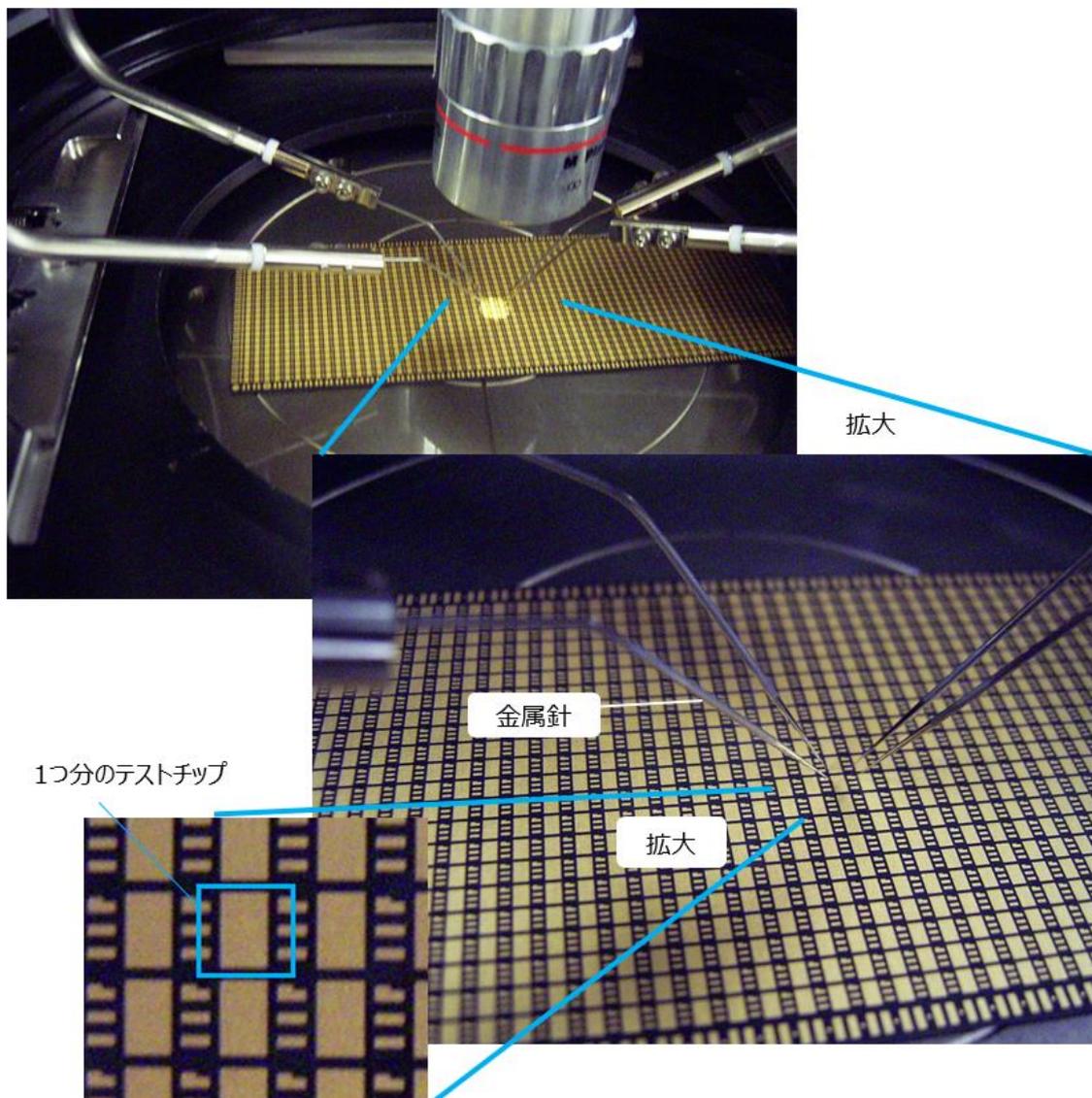


Fig.3-4 Test chip after resin molding.

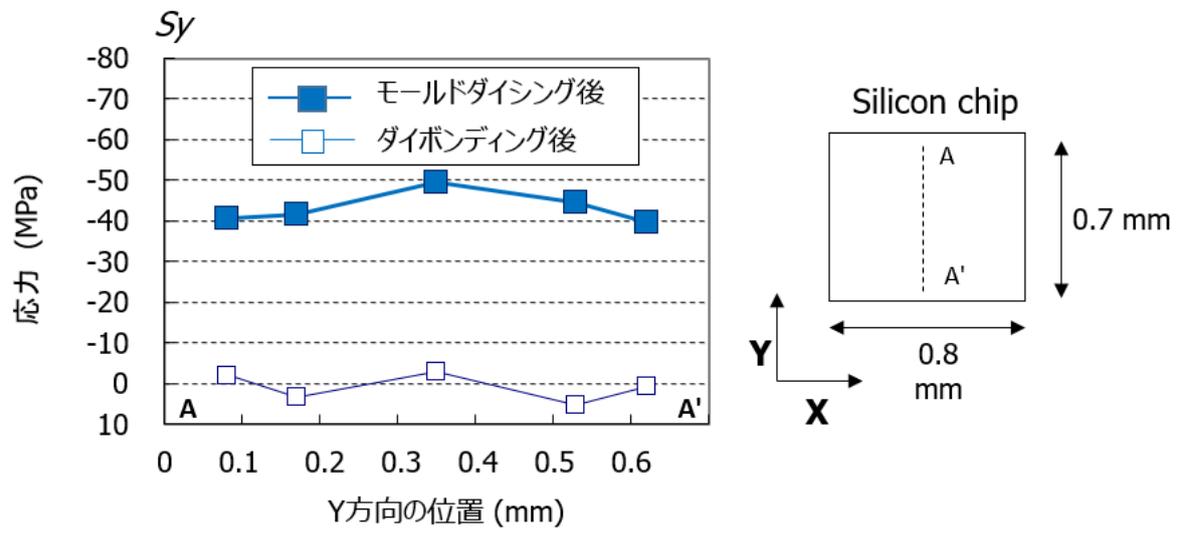


Fig.3-5 Stress generated during chip packaging.

3-2-2. フィラーの影響度

半導体パッケージにおける樹脂封止工程では、モールド樹脂として Epoxy Molding Compounds (EMC) が広く使用されており、シリコンチップへの機械的衝撃や、湿気、熱、紫外線などから IC を保護する役割を持つ。また EMC には、吸湿への耐性向上と熱硬化時の寸法変化を減らす目的のために、フィラーと呼ばれるシリカを主成分とする充填剤が高い濃度（重量%）で含まれている[32, 33]。Fig.3-6 に、本研究で使用した樹脂封止後のテストチップの破断面における走査型電子顕微鏡 (SEM) 写真を示す。EMC の中に粒径 0.01 mm を超えるフィラーが観察される。一方で、半導体集積回路を構成する電子デバイスの大きさが、現在の電源管理 IC においてはサブミクロンサイズであることから、大きさの比較においてはフィラーのほうが 1 桁以上大きく、トランジスタや抵抗体などへの応力の影響が懸念される。フィラーが半導体デバイスに与える応力の影響については、羽島らによる限定的な報告があるのみで十分とは言えない[34]。以上の事情から、フィラーの影響度を明確にするための解析を実施した。

Fig.3-7 はシリコンチップの残留応力に対するフィラーの影響を評価した 2 次元シミュレーションの概要を示す。シミュレーションは市販の有限要素解析ツールを用いて、フィラーの直径 D と、フィラーとシリコンチップ間の距離 L を変化させ実行した。シミュレーション結果を Fig.3-8 に示す[31]。

フィラーとチップ間の距離が 15 μm から 5 μm に減少した際、応力の変化量は 5 MPa 未満であった。フィラーの直径が 10 μm から 50 μm に増加した際、応力の変化量は 8 MPa 未満であった。フィラーの CTE は EMC の 1/10 未満であるため、シリコンチップへのフィラーの接近、またはフィラーの大型化はどちらもシリコンチップ表面への EMC の影響を減少させる方向に作用する。その結果、シリコンチップにかかる応力が減少したと思われる。さらに、この応力の変化量は、前記の樹脂封止によって発生する応力（約 40 MPa）に比べて、1/5～1/8 と小さい。以上の解析から、フィラーのサイズと位置がシリコンチップ表面の局所応力に与える影響度が明確になった。

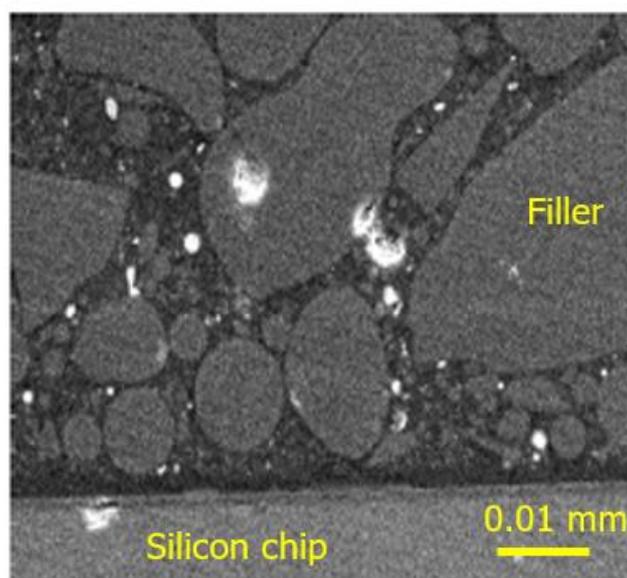


Fig.3-6 SEM micrograph of package cross section.

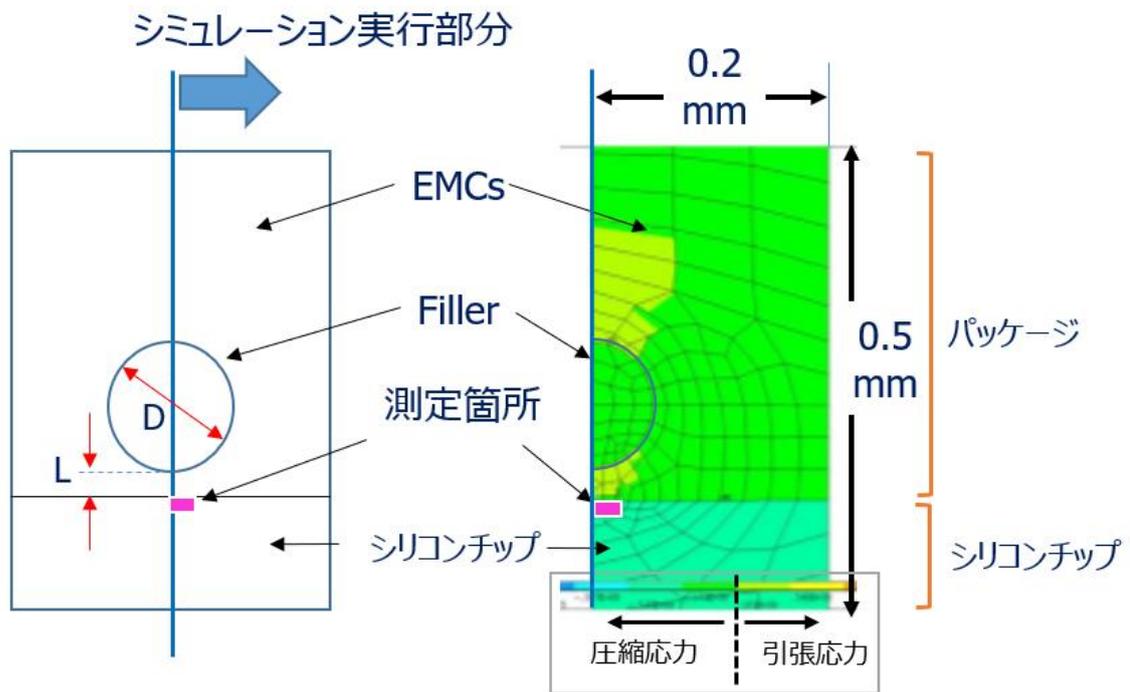


Fig.3-7 Outline of simulation analysis.

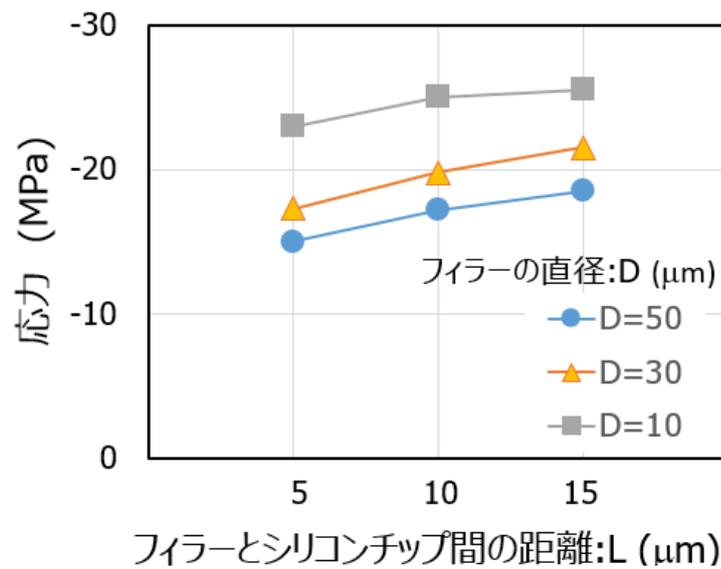


Fig.3-8 Simulated results for impact of filler.

3-2-3. チップサイズ依存

チップサイズの影響を明確にすることは、小型 IC で生じる応力を理解するうえで有効である。ここでは第 2 章 Fig.2-22 で示したパッケージと同じパッケージ・同じ製造プロセスを用いて、チップサイズの異なる 2 種類のテストチップの応力分布を測定した結果を Fig.3-9, Fig.3-10 に示す。それぞれのチップサイズは Fig.3-9 が横 0.8 mm, 縦 0.9 mm, Fig.3-10 が横 0.8 mm, 縦 0.7 mm である。

Fig.2-22 と同様に、応力値は全て負の値（圧縮応力）である。また、 S_x はおよそ Y 軸と平行な傾斜分布、 S_y はおよそ X 軸と平行な傾斜分布であり、それぞれチップ中央部が端部より大きな応力値であることも確認できる[31]。

3 種類のテストチップのサイズは横方向が全て 0.8 mm で共通、縦方向がそれぞれ 0.7 mm, 0.9 mm, 1.2 mm である。Fig.3-11 に、 S_x と S_y に対して、それぞれのチップ中心線に沿ったポイントでの測定結果を示す[31]。 S_x と S_y ともに、チップの中央領域ほど応力が大きく、端部に向かって徐々に減少していることがわかる。

Fig.3-12 に、チップ中央部での応力に対するチップサイズの影響をまとめたものを示す[31]。 S_x と S_y のどちらも Y 方向のサイズに依存して変化している。さらに、Y 方向のサイズが大きくなると S_y が増大する一方で、 S_x は減少している。この結果から、チップの長辺に平行な応力成分は、短辺に平行な応力成分よりも大きいことがわかる。以上の結果は、テストチップが、パッケージ材料の中で最大の CTE を持つ EMC の体積収縮により曲げ変形を受けていることで説明できる。すなわち、Y 方向のサイズが大きくなると、 S_y を誘発する曲げモーメントが大きくなる。またその状態においては逆に S_x は小さくなる。

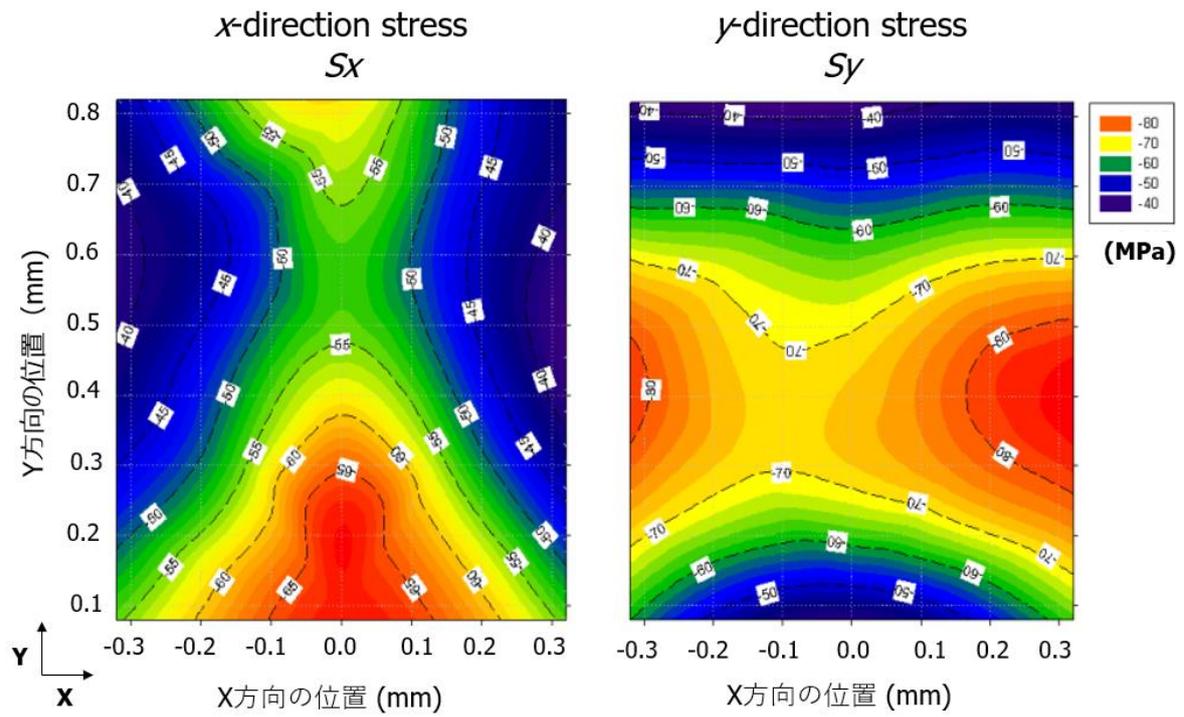


Fig.3-9 Stress distributions for 0.8 mm (W) × 0.9 mm (L) test chip.

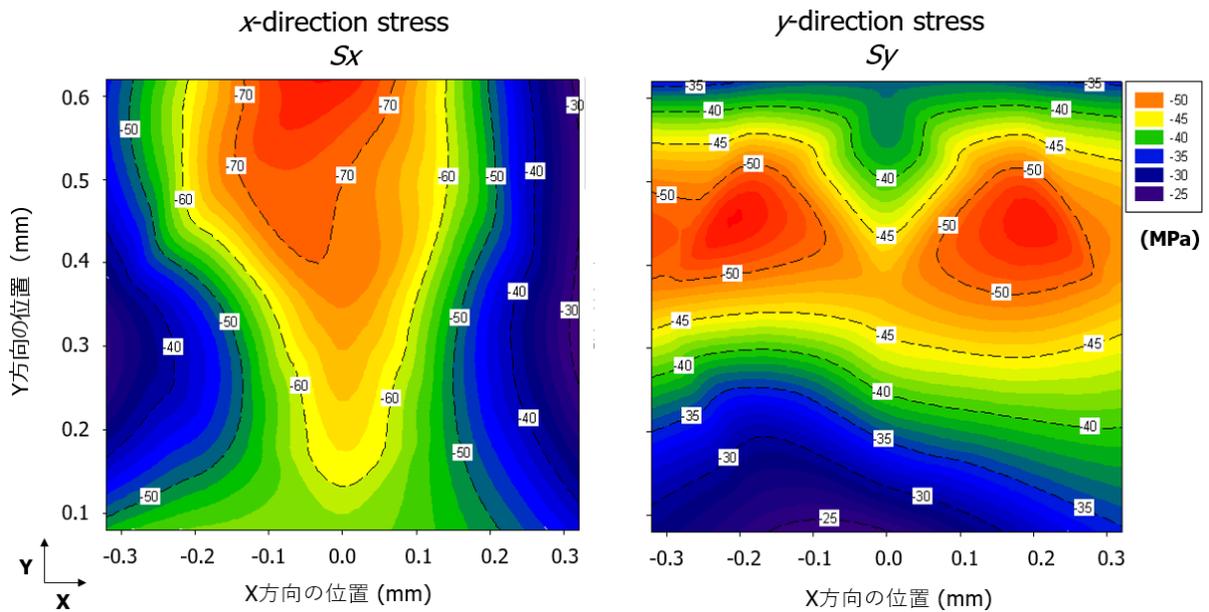


Fig.3-10 Stress distributions for 0.8 mm (W) × 0.7 mm (L) test chip.

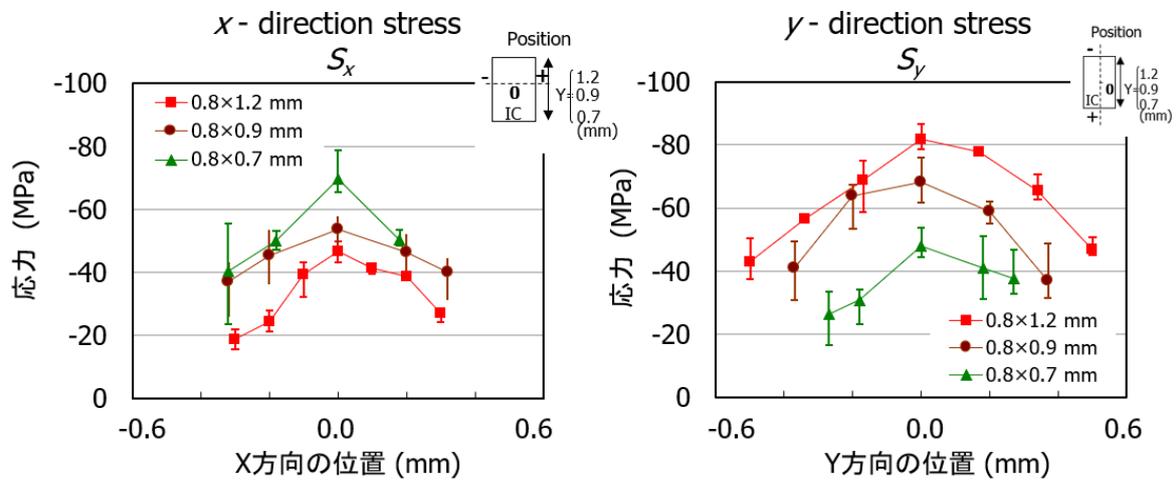


Fig.3-11 Stress distributions for three chip sizes.

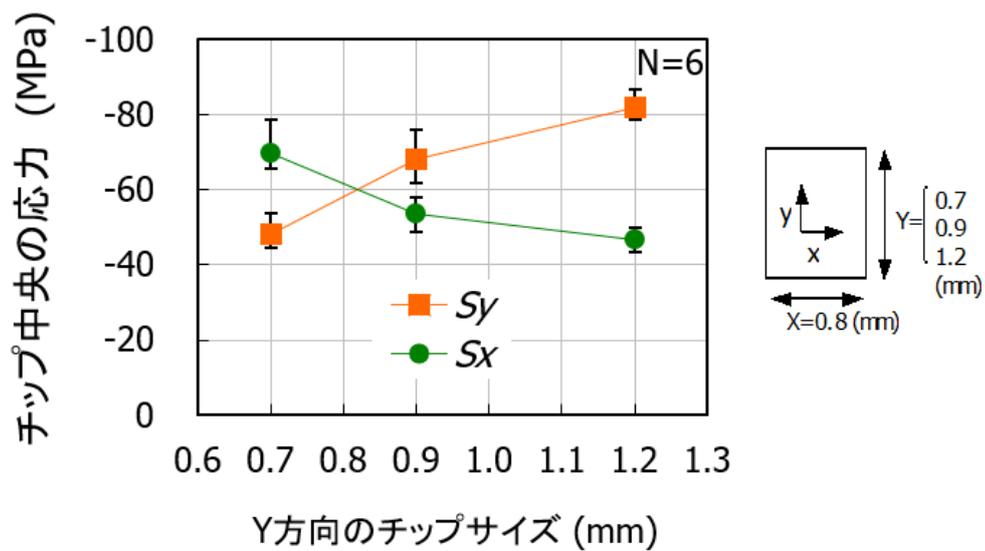


Fig.3-12 Measurement results of stress components for three chip sizes.

3-2-4. リードフレーム形状依存

パッケージ構造の影響，特に IC チップが接着されるリードフレームの影響を Fig.3-13 に示す 2 種類のサンプルを使用して評価した．左側のサンプルは第 2 章 Fig.2-22 と同じものである．右側のサンプルは，リードフレームのサイズがテストチップよりも小さく設計されている．なお，テストチップのサイズは左側が横 0.8 mm，縦 1.2 mm，右側が横 1.3 mm，縦 1.3 mm と異なっている．右側のサンプルの応力分布を Fig.3-14 に示す．Fig.2-22 の応力分布とは異なり，チップ中央領域のやや外側に圧縮応力の大きいエリアがある[31]．

2 種類のサンプルのチップ中心線における S_y 応力分布を Fig.3-15 で比較すると，両者の応力分布が劇的に異なることがわかる．すなわち，右側のサンプルは左側のサンプルよりも高い圧縮応力（100 MPa 以上）を示すことと，チップ中央領域で応力値がほぼ均一なエリアを持つことが分かる．このチップ中央の“応力がほぼ均一な領域”は，リードフレームとほぼ同じサイズであるため，リードフレームによって生成されたことが推察される．

今回のサンプルで確認された“応力がほぼ均一な領域”は，製品特性の精度を決めるアナログ回路にとって，好適な配置場所と言える．すなわち，アナログ回路で多用されている 2 つ以上の素子のペア動作で構成される回路に対しては，この領域に配置することで，圧縮応力が加わった際のシフト量を相対的に同じに出来るので，結果としてペア動作が担保されることになる[35, 36]．精度を決めるアナログ回路としてはオペアンプや，カレントミラー回路，出力電圧を分割させるラダー抵抗群などが候補として挙げられる．（研究業績/特許 No-3）

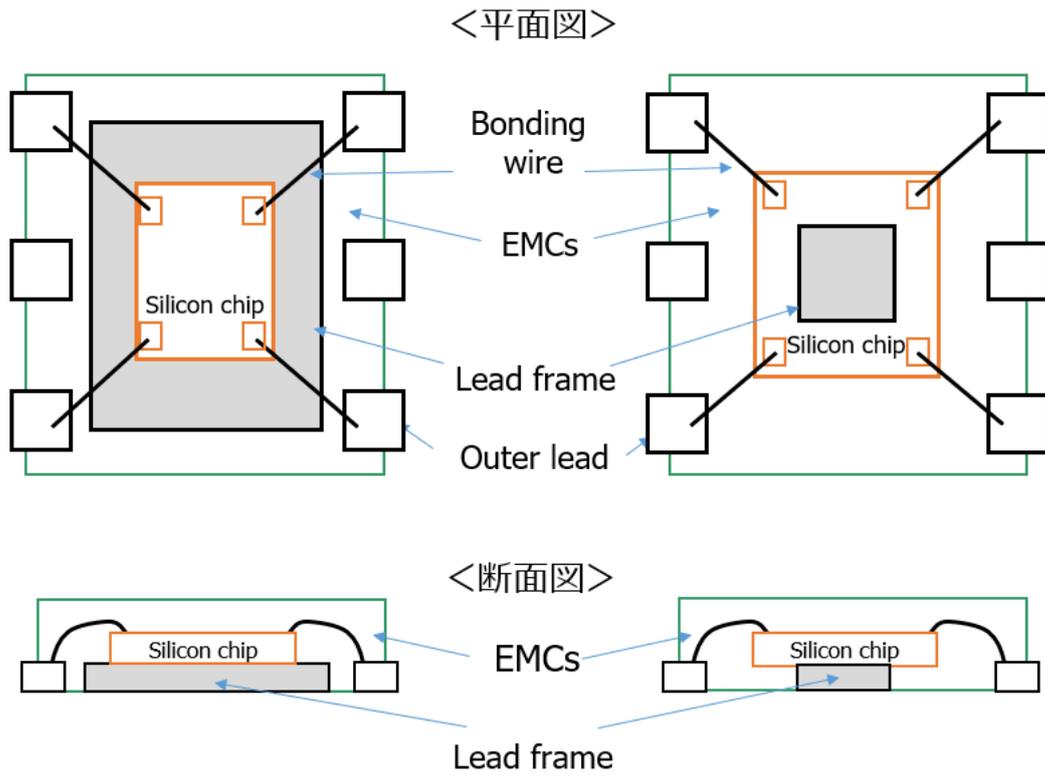


Fig.3-13 Layout of two test package configurations.

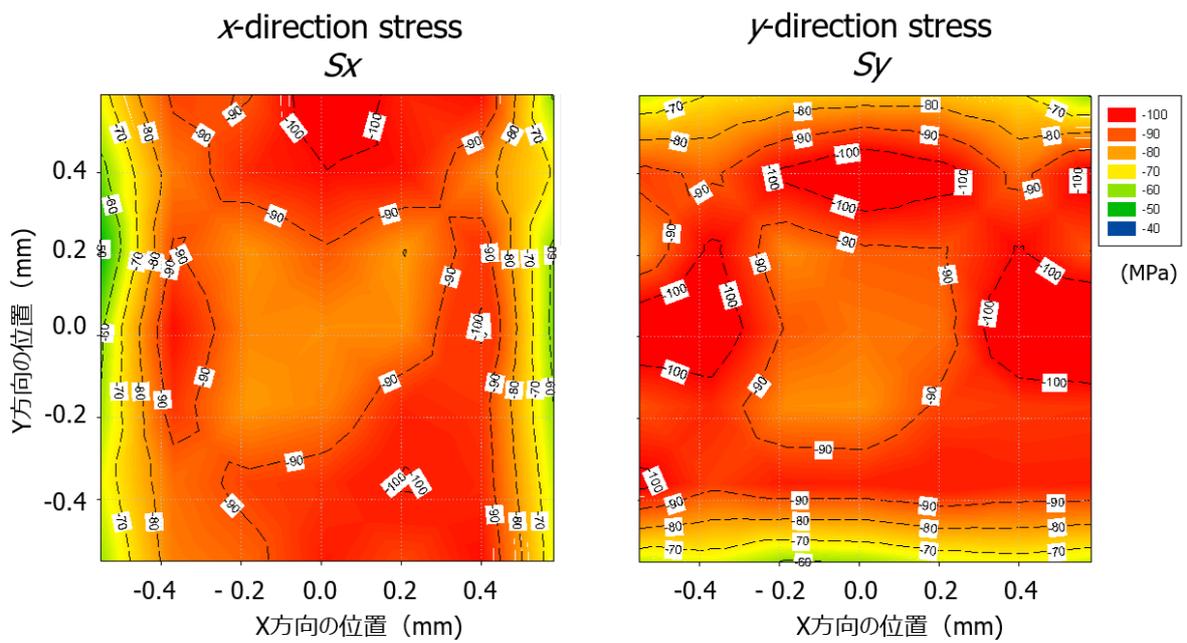


Fig.3-14 Stress distributions for smaller lead frame size than test chip.

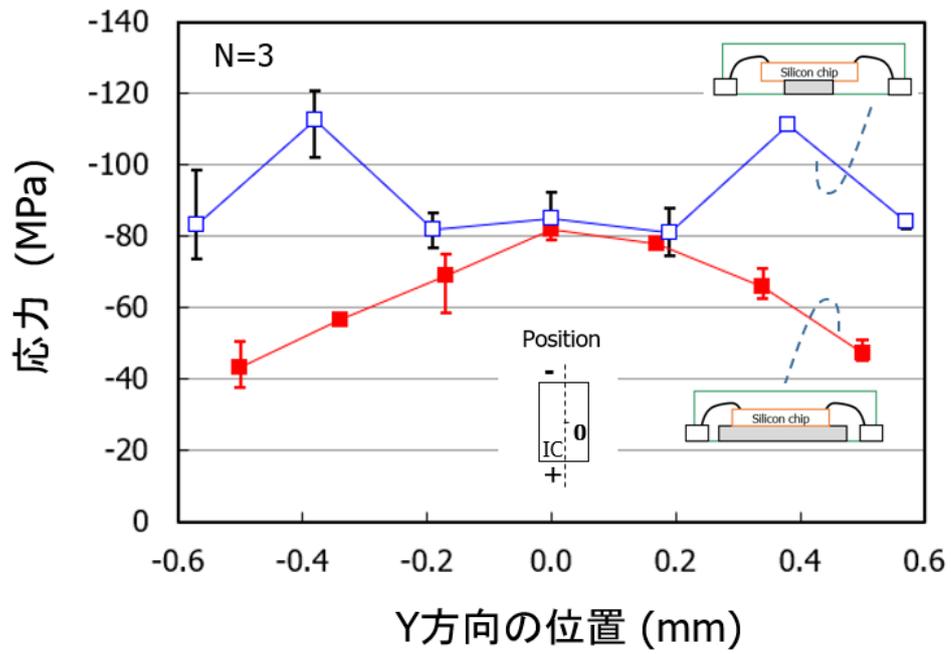
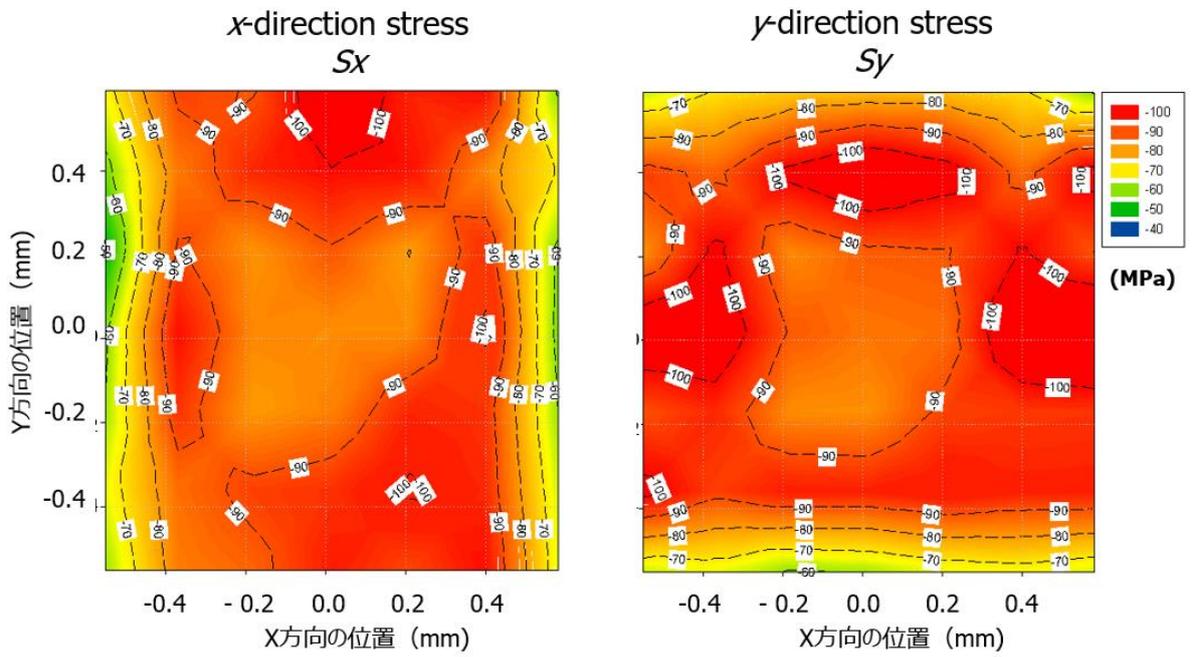


Fig.3-15 Centerline y-stress distributions for the two samples.

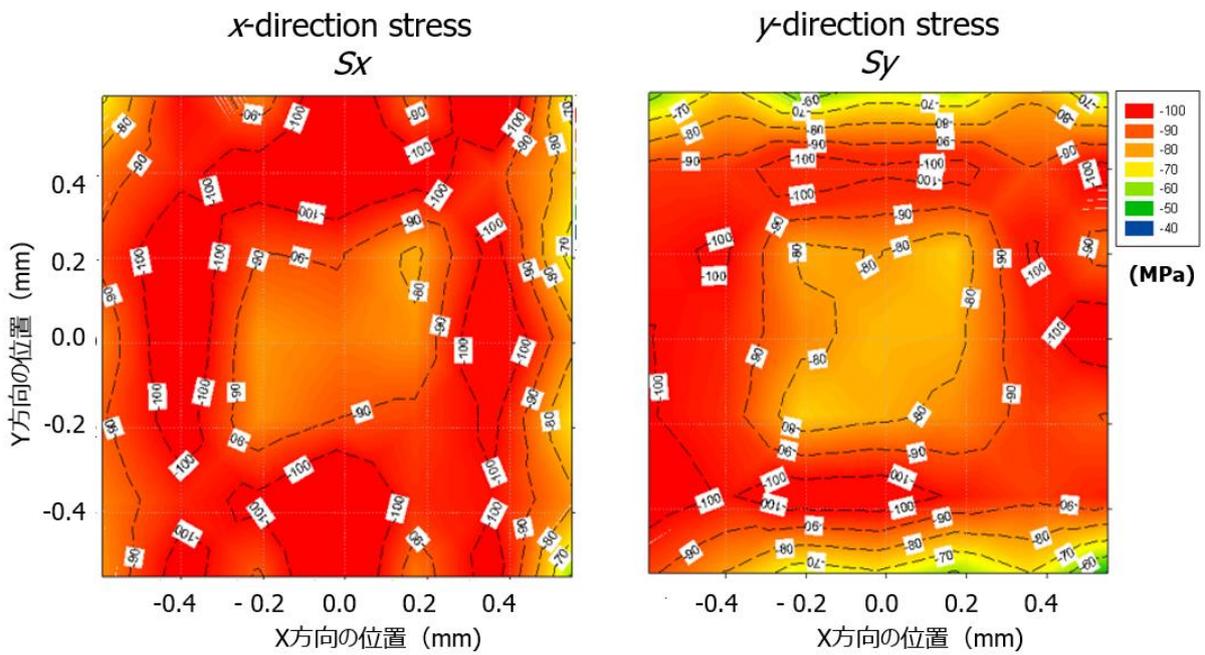
3-2-5. シリコンチップ厚さ依存

IoT ネットワーク社会への技術的貢献の観点からは、シリコンチップの小型化は平面サイズだけでなく、その厚さも薄くする必要がある。チップの厚さが異なる 2 つのテストチップで応力分布を評価した結果を Fig.3-16 に示す[31]。

グラフ上段は厚さ 130 μm のシリコンチップの分布であり、Fig.3-14 と同一のものである。グラフ下段は厚さ 100 μm のシリコンチップの分布である。今回評価を行った QFN パッケージにおいては、2 つのサンプル間に明確な違いは見られず、チップの厚さを 130 μm から 100 μm に薄膜化しても、応力分布に影響がないことが分かった。



(a) Silicon chip thickness: 130 μm



(b) Silicon chip thickness: 100 μm

Fig.3-16 Stress distributions for different chip thicknesses.

3-3. WL-CSP に関する応力解析

WL-CSP は QFN で使用するリードフレームや金属ワイヤーを使用せず、ウエハ状態のまま銅配線、樹脂封止、端子形成を行う構造のパッケージである。基本特性および信頼性は QFN と同等のまま、小型・軽量化が可能になるパッケージとして、電源管理 IC に対しても幅広く使用されている。WL-CSP の組み立てフローについて、前述の Fig.3-1 を用いて以下で説明する。

WL-CSP は完成ウエハのままパッケージ工程の加工処理を施す点が、前述の QFN と大きく異なる。まず完成ウエハの表面に絶縁膜を形成し、銅を用いて配線層を形成する（下地絶縁膜・Cu 再配線）。次に封止絶縁膜を全面に形成した後、将来電極になる位置を開口し、Copper Pillar（銅円柱）と呼ばれる電極を形成する（封止絶縁膜・電極形成）。最後に電極上にはんだボールを搭載した後（ボール搭載）、個別のパッケージに切り分ける（個片化）。Fig.3-17 に WL-CSP と QFN との比較図を示す。両者の違いとして

違い① パッケージの外形サイズが WL-CSP < QFN である。

WL-CSP はシリコンチップのサイズがそのままパッケージの外形サイズになる。

違い② デバイス形成面の向きが WL-CSP と QFN で真逆である。

WL-CSP はデバイス形成面を下向けにして基板（Substrate）と接続する。

「違い①」については、QFN で応力の発生要因になったモールド樹脂（線膨張係数が大きい）の量が相対的に少ないことから、チップに生じる応力が小さくなることが予測される。一方で「違い②」については、デバイス形成面の直上部に接続部材（Conductive Bump）が存在し、それを介して基板と接合されることから、この点の影響が懸念される。Fig.3-18 に本研究で用いた WL-CSP の概要図を、Fig.3-19 に SEM 写真を、それぞれ示す。デバイス形成面の直上部に円柱形状の Copper Pillar を持つ点が特徴である[13]。この構造は 2000 年台から民生品市場を中心に World Wide で普及が始まった技術であり、2020 年の現在においても小型パッケージの主流製品として、スマートフォンや各種のデジタル情報機器に広く使われている。第 1 章 Table 1 に示すように Copper Pillar とはんだボールの線膨張係数がシリコンチップより約 6~8 倍大きく、応力への影響が予測される。以上のことから、本章では Copper pillar が応力に与える影響について評価を行った。

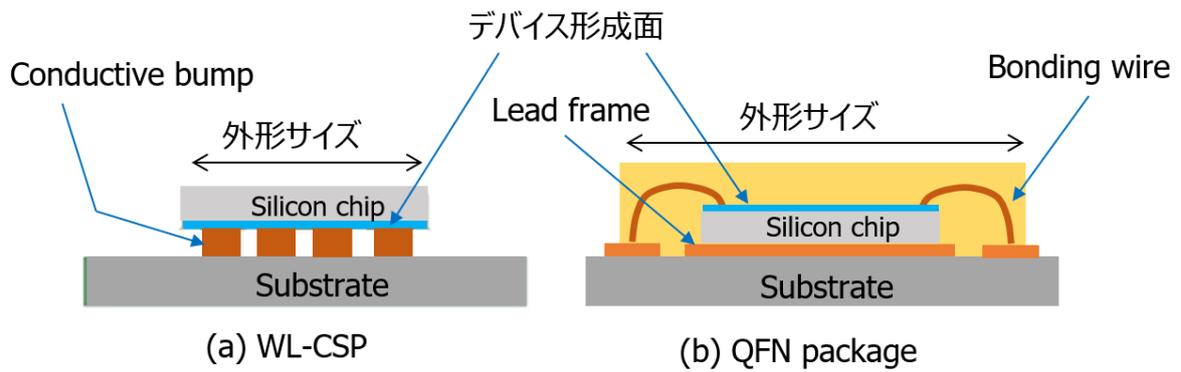


Fig.3-17 Comparison of WL-CSP and QFN package.

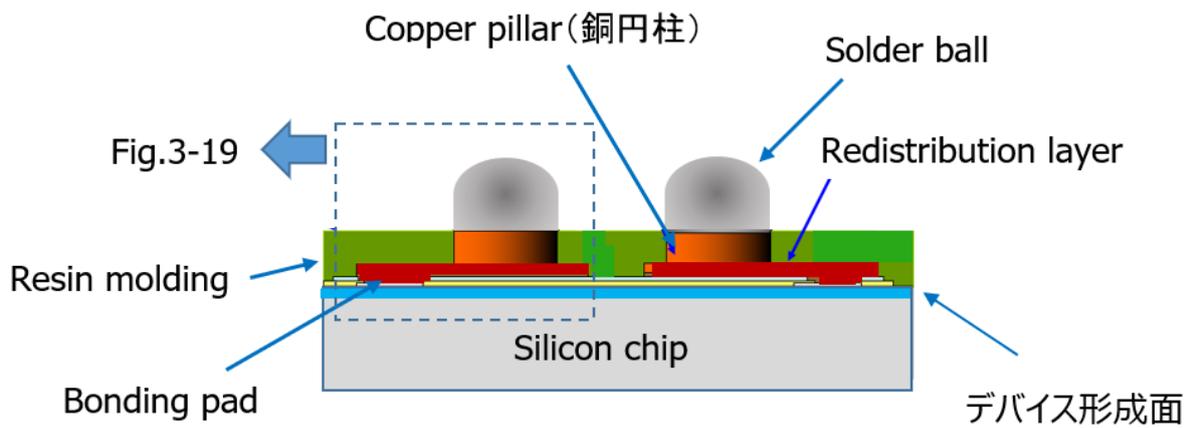


Fig.3-18 Structure of WL-CSP in this study.

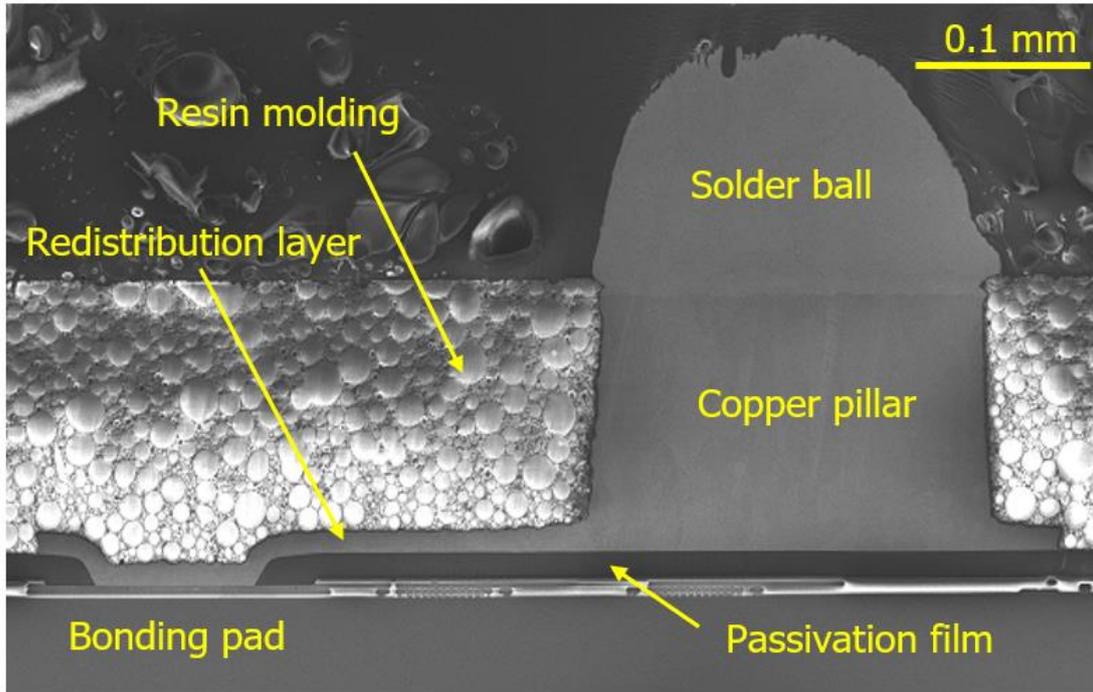


Fig.3-19 SEM image of the actual device.

3-3-1. Copper pillar（銅円柱）が応力に与える影響

今回評価を行った WL-CSP は、円柱形状の Copper pillar が周期的に配置されたエリアレイ型の WL-CSP（Area-arrayed copper pillar WL-CSP）である。直径が約 0.22 mm、高さが約 0.09 mm の Copper pillar が、チップ平面上に縦横 0.4 mm ピッチで並んでいる。本研究で作製した 2 種類のサンプル（サンプル A、サンプル B）を Fig.3-20 に示す[37]。

サンプル A では、X 方向に並んだ 3 つの Copper pillar に対して、17 個のピエゾ抵抗素子を配置した。各ピエゾ抵抗素子は第 2 章で説明したものと同一のものである。Copper pillar に対して、その中央部、エッジ部、エッジ部の内外（エッジ部から 0.03 mm 離れた場所）、Copper pillar と Copper pillar の中間部のそれぞれにピエゾ抵抗素子を配置することで、Copper pillar の影響度を解析できるようにした。

サンプル B では、Y 方向に並んだ 2 つの Copper pillar に対して、5 個のピエゾ抵抗素子を配置した。Copper pillar に対して、その中央部、エッジ部、Copper pillar と Copper pillar の中間部のそれぞれにピエゾ抵抗素子を配置した。

サンプル A の測定結果を Fig.3-21 に示す[37]。応力成分 S_y と S_x の両方が Copper pillar の位置に対応して周期的に変化する結果が得られた。すなわち、 S_y については Copper pillar のエッジ部において約 20 MPa の圧縮応力を示した。この圧縮応力は Copper pillar の中央部に向かって徐々に減少し、Copper pillar の中央部では約 7 MPa である。また、Copper pillar と Copper pillar の中間部では数 MPa 程度の引張応力を示した。

S_x は Copper pillar の中央部、および、Copper pillar と Copper pillar の中間部において、 S_y と同程度の値を示した。この 2 か所の S_y と S_x が同程度の応力値を示すことについては、平面的には円形の Copper pillar の構造的な対称性から、妥当な結果と思われる。一方で、Copper pillar のエッジ部においては、 S_x は 10 MPa 以上の引張応力を示しており、約 20 MPa の圧縮応力を示した S_y とは異なる挙動となった。

サンプル B の測定結果を Fig.3-22 に示す[37]。サンプル A と同様に、応力成分 S_y と S_x の両方が Copper pillar の位置に対応して周期的に変化する結果が得られた。まず S_x については、Copper pillar のエッジ部において約 20 MPa の圧縮応力となった。この結果は Copper pillar の平面形状が円形であることを考慮に入れると、サンプル A のエッジ部で観測された S_y と符合する挙動と言える。

一方で、 S_y は Copper pillar のエッジ部において 10 MPa を超える引張応力となった。この結果についても、サンプル A のエッジ部での S_x と符合する傾向である。また、 S_x と S_y の両方とも、Copper pillar の中央部では数 MPa の圧縮応力、Copper pillar と Copper pillar の中間部では数 MPa の引張応力という結果であり、これに関してもサンプル A と同様の応答である。

以上のように、Copper pillar を持つ WL-CSP に対して、X 方向の配置に関するサンプル A と、Y 方向に配置に関するサンプル B において、平面的には円形である Copper pillar の対称性を反映した結果が得られたことから、本研究で用いた手法によって Copper pillar 近傍の応力が定量的、かつ、正確に測定できることが確認された。

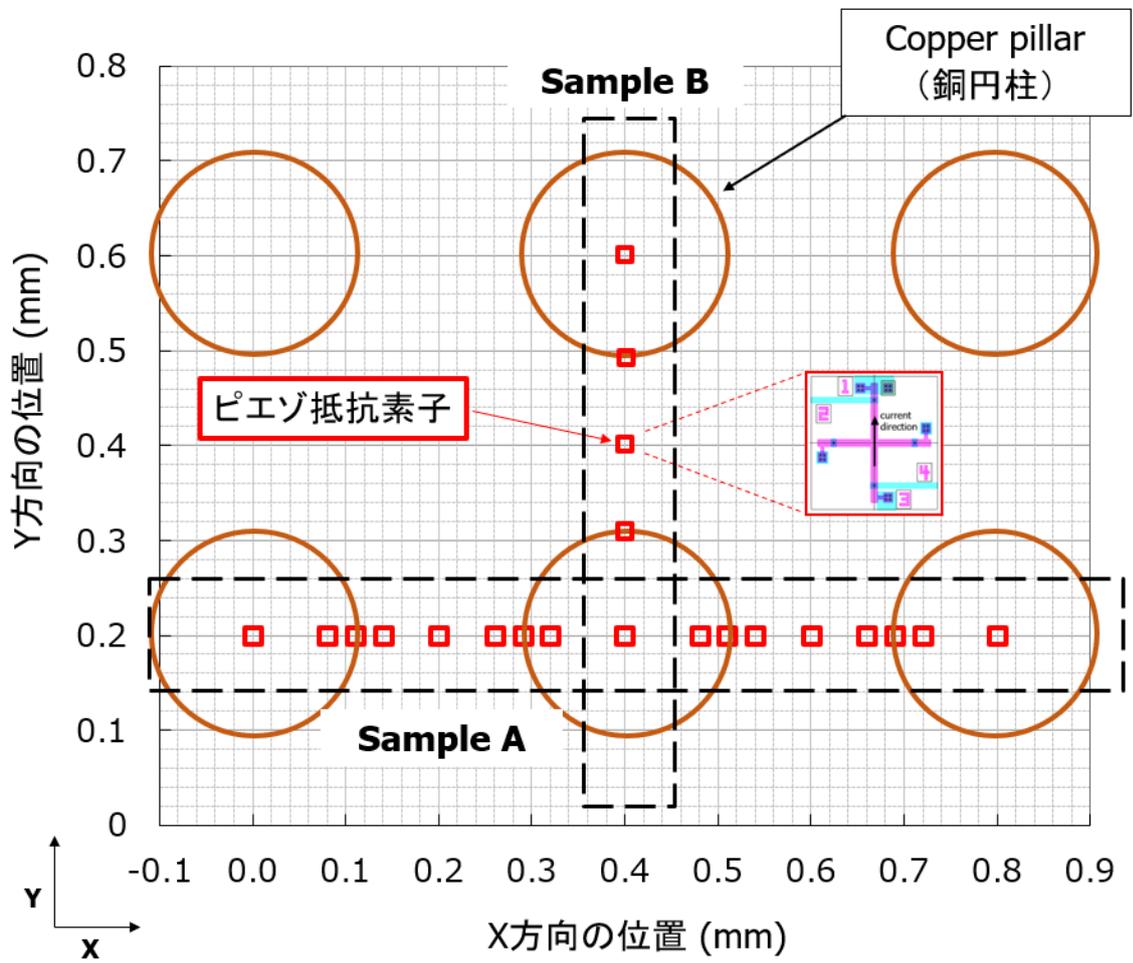
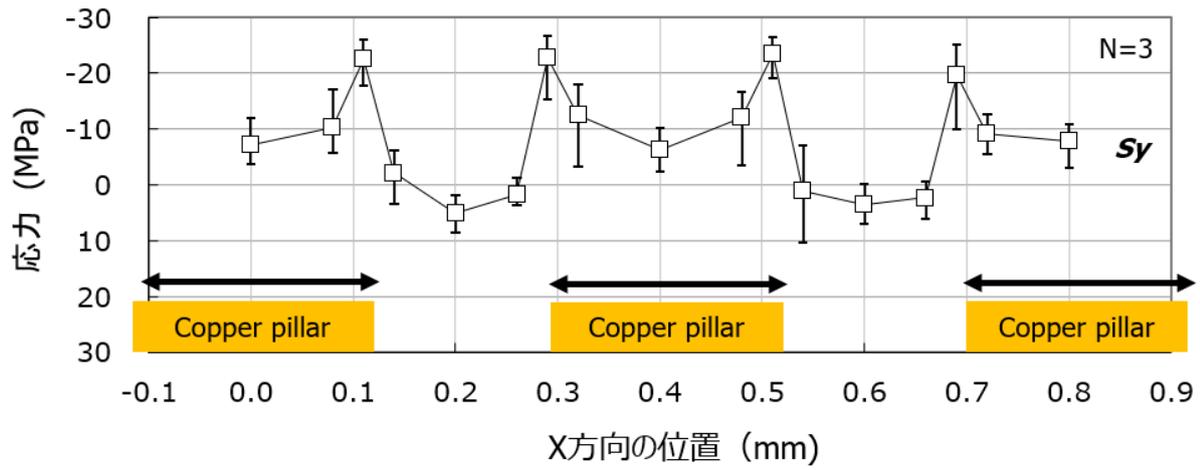
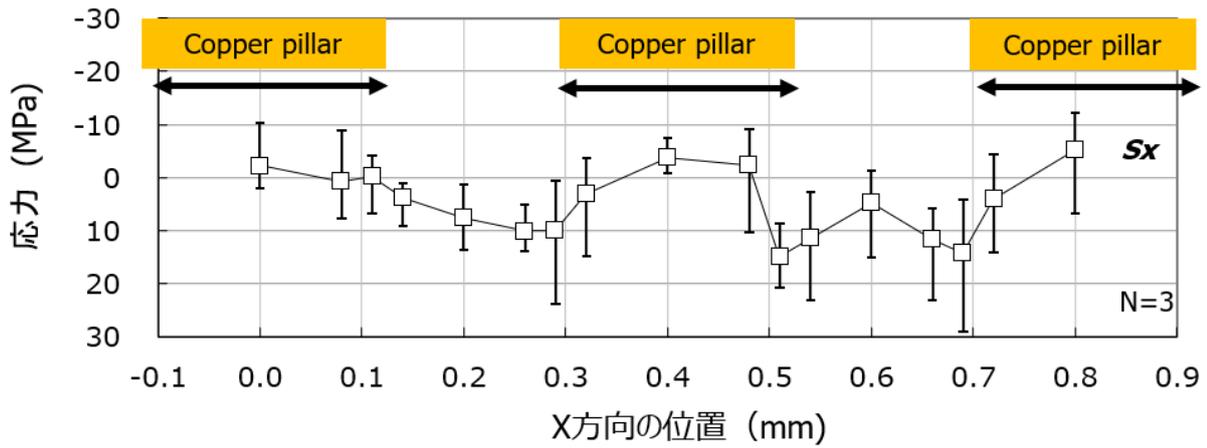


Fig.3-20 Arrangement of piezo resistors and copper pillars in the two samples.

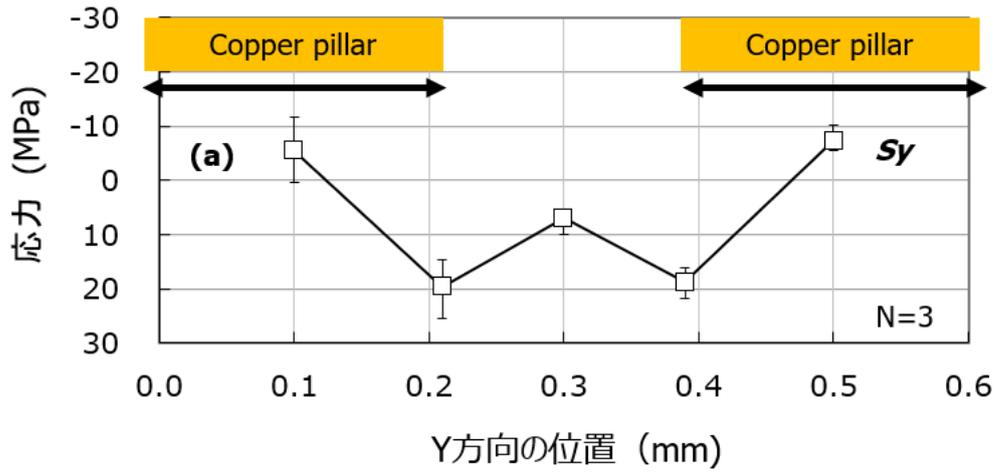


(a) y -direction stress (S_y)

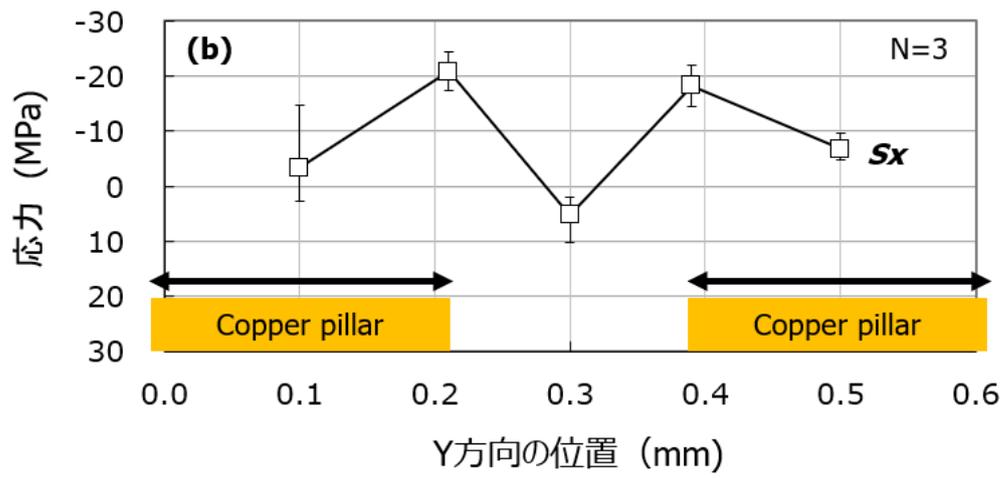


(b) x -direction stress (S_x)

Fig.3-21 Measured stress components in Sample A.



(a) y -direction stress (S_y)



(b) x -direction stress (S_x)

Fig.3-22 Measured stress components in Sample B.

3-3-2. 模式図を用いた応力挙動の理解

この章では前章で得られた測定結果に対して、模式図を用いて視覚的な整理を行うことで、Copper pillar が作り出す応力分布の理解を試みる。Fig.3-23 はサンプル A で得られた結果を、一つの Copper pillar の図面上に模式的に表示したものである。上方のグラフは Fig.3-21 の S_y から、下方のグラフは Fig.3-21 の S_x から、それぞれ引用しており、グラフ中央に示す Copper pillar の図形上に応力の方向と大きさを対比させて概略記入した。赤い矢印は圧縮応力、青い矢印は引張応力を示す。また、矢印の軸の長さがその応力の大小を示す。同様の手法を用いて、サンプル B で得られた結果を図示したものを Fig.3-24 に示す。最終的にこれら 2 つの模式図を重ね合わせることで、Copper pillar が作り出す局所的な応力分布を模式的に示したものとして Fig.3-25 を示す[37]。

Copper pillar の近傍で特徴的な応力分布が発生している。すなわち、平面的には円形の Copper pillar に対して、

特徴① 端部においては円周方向の圧縮応力と、直径方向の引張応力が生じている。

特徴② 中央部においては、中心部に向かう圧縮応力が生じている。

特徴③ Copper pillar と Copper pillar の中間部では、引張応力が生じている。

Copper pillar に関して、上記記載の特徴的な応力分布が生じる理由を以下で考察する。すなわち、シリコンチップに対して熱膨張係数の大きい Copper pillar がその製造過程で体積収縮を起こすと、シリコンチップには Copper pillar の中心方向に向かう局所的な変形が生じる。シリコンチップに発生する応力のイメージ図として Fig.3-26 を示す[37]。この図で Copper pillar のエッジ部に配置されているピエゾ抵抗素子に着目すると、Copper pillar の中心方向に向かう局所的な変形により、X 方向には引張応力が生じることが分かる。この時、右隣の Copper pillar の対向するエッジ部でも同じ応力（ただし方向は逆向き）が発生しているので、この作用により、Copper pillar と Copper pillar の中間部においては引張応力が生じる。また、円柱形状の Copper pillar が体積収縮することで、その中央部においては圧縮応力が生じる。一方、このピエゾ抵抗素子はその長さが 0.03 mm であることから、直径 0.22 mm の大きさを持つ Copper pillar の外周部が描く曲率の影響を受けている、と思われる。その結果、Y 方向の応力成分（Fig.3-26 の赤矢印成分）によって円周方向に沿った圧縮応力が検出されると推察する。

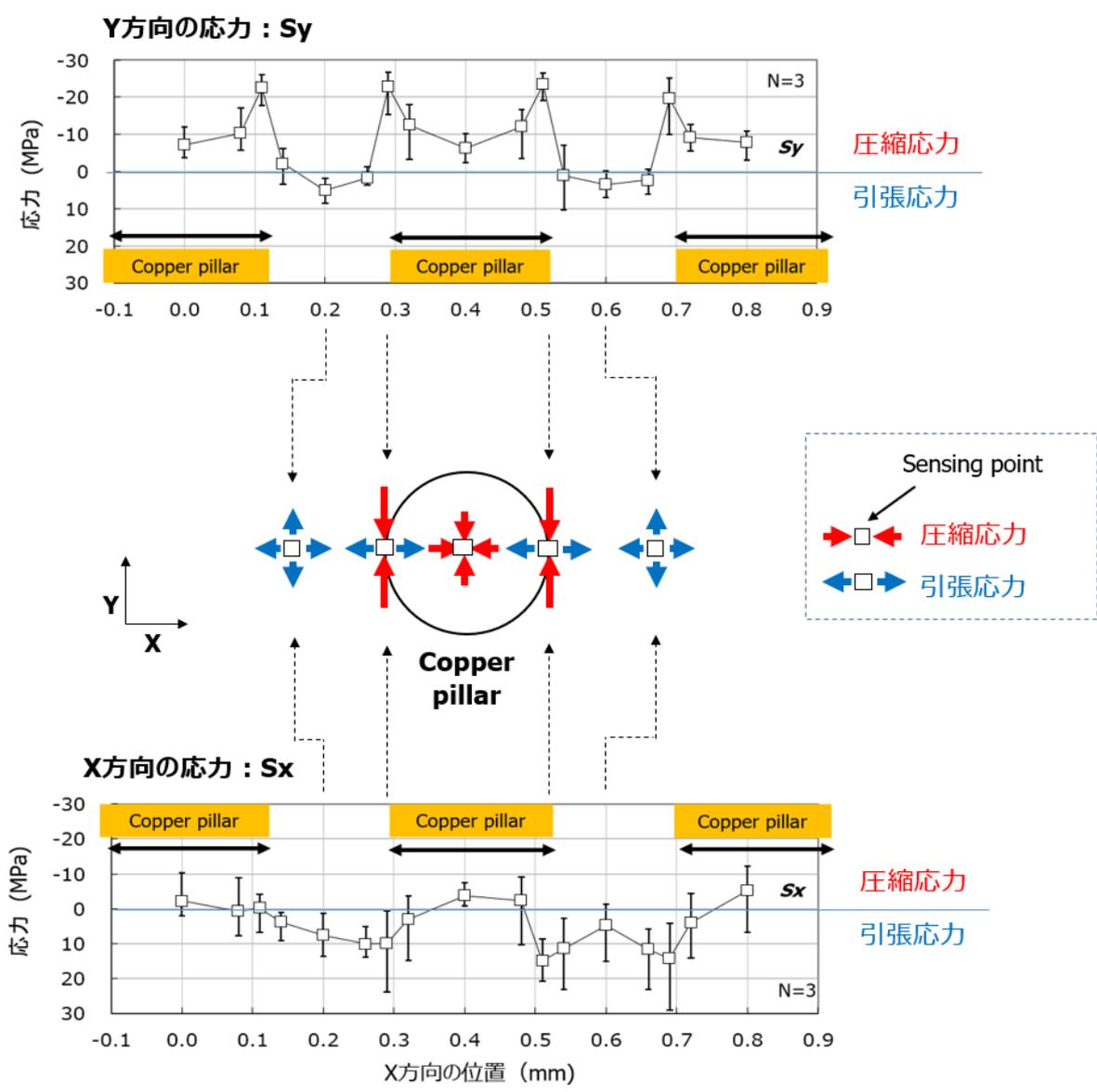


Fig.3-23 Stress distribution resulting from Sample A.

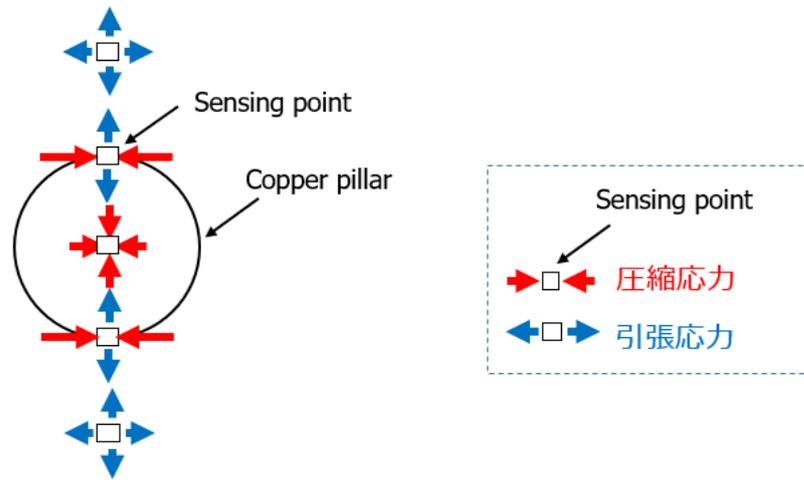


Fig.3-24 Stress distribution resulting from Sample B.

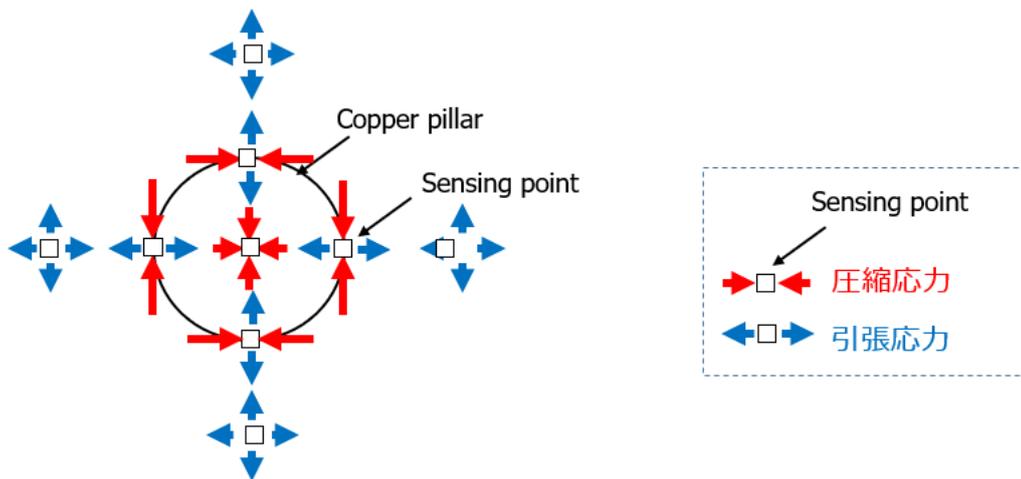


Fig.3-25 Stress distribution near copper pillar.

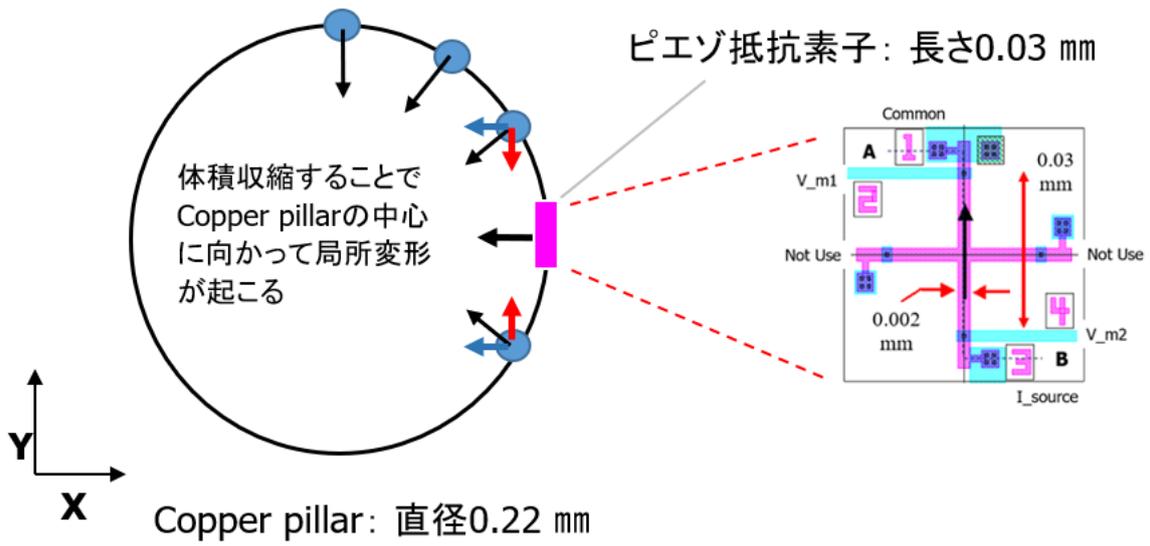


Fig.3-26 Image chart of stress generation.

3-4. QFNとWL-CSPの比較によるアナログ回路特性への影響に関する考察

この章では、QFNとWL-CSPの応力分布を比較することで、回路特性への影響を考察する。ここでQFNの応力分布として、チップサイズ0.8 mm×1.2 mmの応力分布(= Fig.2-22)を引用し、Fig.3-27に示す。最大の圧縮応力はシリコンチップの中央部で発生する $S_y = \text{約 } 90 \text{ MPa}$ であり、この大きさはWL-CSPのCopper pillarのエッジ部で生成される圧縮応力の約4.5倍である。大きな圧縮応力はピエゾ抵抗効果によって、大きな特性変動を引き起こすので、回路設計者はこの特性変動に対して注意が必要となる。すなわち、応力の絶対値に関する特性変動については、WL-CSPよりもQFNのほうが影響度は大きい。

次に、距離に対する応力の変化量である応力勾配に着目する。QFNでは約200 μm の距離において約20 MPaの差を示したことから、0.1 MPa / μm の応力勾配が生じている。一方でWL-CSPでは、そのCopper pillarのエッジ部において、30 μm の距離において約30 MPaの差を示したことから、約1.0 MPa / μm の応力勾配を発生させている。したがって、この両者を比較すると、WL-CSPの応力勾配はQFNの応力勾配の約10倍となる[37]。以上の結果をTable 3-2に示す。

Table 3-2 Comparison between package type and impact of stress.

パッケージ	最大の圧縮応力 (MPa)	最大の応力勾配 (MPa/ μm)
WL-CSP	20	1.0
QFN	90	0.1

大きな応力勾配は、ペア動作を必要とする回路コンポーネントに大きな影響を与える(前章3-2-4.と同じ議論)。精度を決めるアナログ回路はその多くがペア動作を必要とする構成になっており、その代表例であるオペアンプや、カレントミラー回路、出力電圧を分割させるラダー抵抗群などは、隣り合った1対の素子が同じ特性を出すことを前提に設計されている。したがって、応力勾配が大きい場所にこのようなアナログ回路が配置されてしまうと、隣り合った1対の素子の特性が一致なくなり、精度の劣化を引き起こす。すなわち、この点に関する特性変動についてはQFNよりもWL-CSPのほうが影響度は大きい。

以上のことから、パッケージ工程で生じる応力については、QFNとWL-CSPで異なる注意を払う必要があることが明確になった。加えて、WL-CSPにおいて、精度を決めるアナログ回路をCopper pillarに近傍に配置すると、その応力勾配によってペア動作が乱れ、精度の劣化を引き起こす危険がある。逆に、精度を決めるアナログ回路をCopper pillarのエッジ部から一定の距離を離して配置することで、応力起因の特性変動を軽減することが可能となる。(研究業績/特許 No-4)

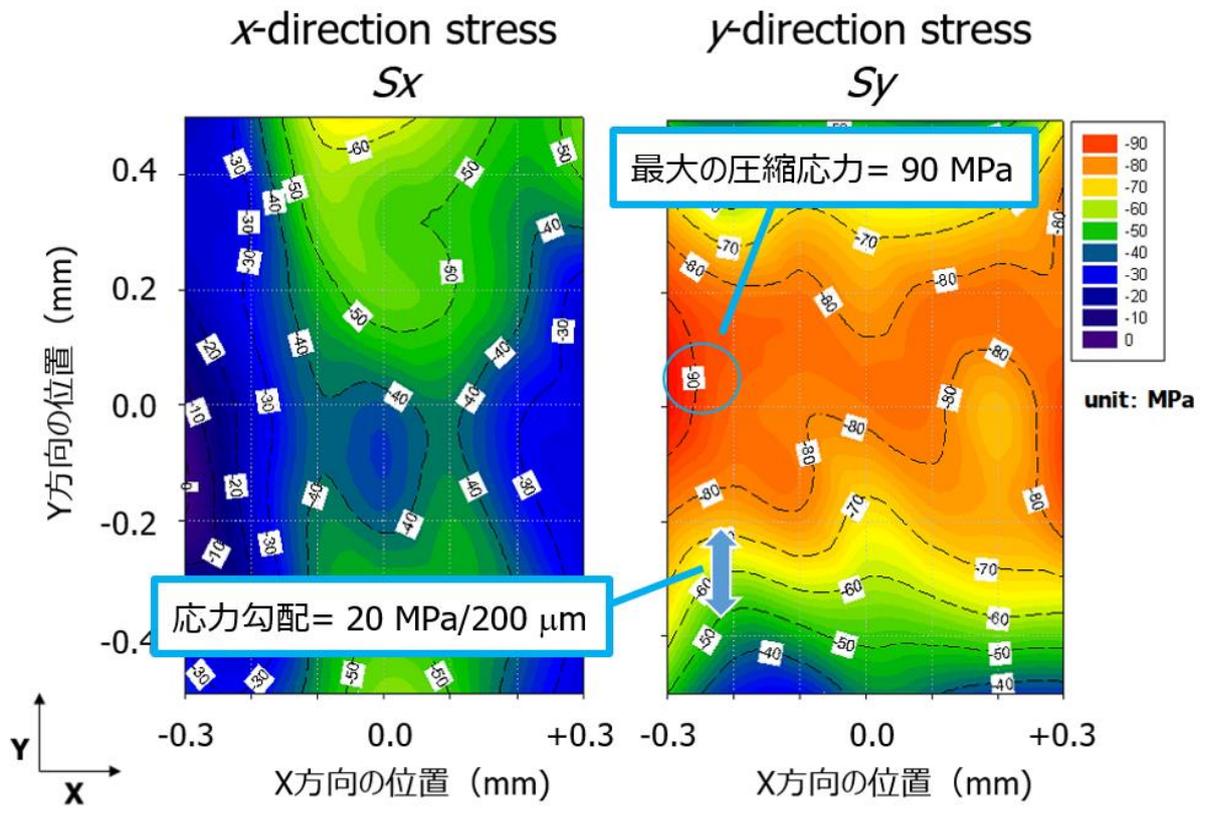


Fig.3-27 Stress distribution for 0.8 mm \times 1.2 mm silicon chip molded by QFN.

3-5. 結言

本章では第 2 章で確立したパッケージ起因応力分布の可視化技術を用いて、電源管理 IC の製造に幅広く使用されている QFN と WL-CSP を対象に応力解析を実施し、以下のことを明らかにした。

QFN に関して

- 1) 応力は樹脂形成工程で発生する。その大きさはシリコンチップの寸法が横 0.8 mm, 縦 0.7 mm の場合で約 40 MPa であった。
- 2) フィラーの影響度は 15 μm から 5 μm へのチップ表面への接近で変化量は 5 MPa 未満, 10 μm から 50 μm へのフィラー径の増大で変化量は 8 MPa 未満であった。この変化量は、1) の樹脂封止によって発生する応力に比べて、1/5～1/8 である。
- 3) チップサイズを変えたサンプルの評価から、チップの長辺に平行な応力成分は、短辺に平行な応力成分よりも大きいことが示された。この結果はシリコンチップが、パッケージ材料の中で最大の CTE を持つ EMC の体積収縮により曲げ変形を受けていることで説明できる。
- 4) リードフレームの形状を変えたサンプルの評価から、シリコンチップより小さいサイズのリードフレームがそれと対応する場所に“応力がほぼ均一な領域”を生じさせることが示された。この領域は、ペア動作を必要とするアナログ回路にとって好適な配置箇所となる。
- 5) 今回評価を行った QFN においては、シリコンチップの厚さを 130 μm から 100 μm に薄膜化しても、応力分布には影響がない。

WL-CSP に関して

- 1) Copper pillar 端部において円周方向の圧縮応力と、直径方向の引張応力が生じている。
- 2) Copper pillar 中央部において、圧縮応力が生じている。
- 3) Copper pillar と Copper pillar の中間部において、引張応力が生じている。
- 4) ペア動作を必要とするアナログ回路を Copper pillar のエッジ部から一定の距離を離して配置することで、応力起因の特性変動を軽減することが出来る。

さらに、両者の比較を通じて、パッケージ起因応力による特性変動を考慮する際には、応力の絶対値だけではなく、応力の勾配に対しても注意を払う必要があることを示した。

参考文献

- [1] "Package milestone & Road MAP in ASEJ", Advanced semiconductor Engineering Group, https://www.asejp.aseglobal.com/pkg_roadmap.html.
- [2] "「2019 年度版 実装技術ロードマップ」に関する完成報告会", 電子情報技術産業協会 (JEITA), 第 3 章, 第 4 節, 「3.4 パッケージ組立プロセス技術動向」, 2019.
- [3] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "IC プラスチックパッケージ内応力測定素子の開発とその応用," 日本機械学会論文集 (A 編) 53 巻 493 号 (昭 62-9) , pp. 1826-1832, 1987.
- [4] S. A. Gee, W. F. van den Bogert, and V. R. Akylas, "Strain-Gauge Mapping of Die Surface Stresses," *IEEE Trans. on Components, Hybrids, and Manufacturing Tech.*, Vol. 12, No. 4, pp. 587-593, Dec. 1989.
- [5] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "IC プラスチックパッケージ内シリコンチップ残留応力の検討," 日本機械学会論文集 (A 編) 55 巻 516 号 (1989-8) , pp. 1763-1770, 1989.
- [6] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "IC パッケージ内シリコンチップ残留応力に及ぼすパッケージ構造の影響," 日本機械学会論文集 (A 編) 56 巻 522 号 (1990-2) , pp. 365-371, 1990.
- [7] 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "IC プラスチックパッケージ内シリコンチップ熱応力の検討," 日本機械学会論文集 (A 編) 57 巻 539 号 (1991-7) , pp. 1575-1580, 1991.
- [8] H. Miura, M. Kitano, A. Nishimura, and S. Kawai, "Thermal Stress Measurement in Silicon Chips Encapsulated in IC Plastic Packages Under Temperature Cycling," *J. of Electronic Packaging*, Vol. 155, pp. 9-15, Mar. 1993.
- [9] H. Miura, "Structural Reliability Design of Plastic Packages Using Cu-alloy Lead-frames," *IEEE Electronics Packaging Technology Conference*, pp. 785-790, 2003.

- [10] N. Watanabe and T. Asano, "Behavior of Plated Microbumps during Ultrasonic Flip-Chip Bonding Determined from Dynamic Stress Measurement," *Jpn. J. Appl. Phys*, Vol. 42, No.4B, Part 1, pp. 2193-2197, Apr. 2003.
- [11] 上田 啓貴, 三浦 英生, "フリップチップ実装構造における Si チップ内の局所残留応力評価," 電子情報通信学会論文誌 C, Vol. J88-C, No. 11, pp. 859-865, 2005.
- [12] 上田 啓貴, 三浦 英生, "積層フリップチップ実装構造における Si チップ内局所残留応力支配因子の検討," MES2006(第 16 回マイクロエレクトロニクスシンポジウム), pp. 43-46, 2006.
- [13] T. Asada, T. Asano, K. Hikasa, K. Sugahara, H. Oshima, and Y. Ono, "Development of Wafer-Level Chi Size Package (WL-CSP)," *Furukawa Review*, No.31, pp. 13-18, 2007.
- [14] G. Jiao, J. Yin, Q. Hua, B. Du, X. Liu, and T. Gui, "Study of Thermo-Mechanical Stress Distribution for CBGA Package," *2008 10th Electronics Packaging Technology Conference*, pp. 910-915, 2008.
- [15] D. Lee, S. Kim, M. Kim, O. Bae, K. Kim, and H. Kang, "Fabrication of Die Embedded Substrate and Mechanical Stress Evaluation at Active Area of the Embedded Die," *2008 10th Electronics Packaging Technology Conference*, pp. 224-229, 2008.
- [16] C. Jiang, F. Xiao, H. Yang, and C. Dou, "Application of Silicon Stress Sensor in Flip Chip Packaging System," *2011 Int. Conference on Electronic Packaging Technology & High density Packaging*, pp. 932-936, 2011.
- [17] 橋元 伸晃, 田中 秀一, 大木百 俊平, 伊東 春樹, "高い 2 次実装信頼性を有する樹脂応力緩和層型ウエハレベルチップサイズパッケージの開発," エレクトロニクス実装学会, Vol. 11, No. 1, pp. 84-92, 2008.
- [18] 岡 隆弘, 内田 康文, 佐伯 吉浩, "2 チップ積層 MCP (マルチチップパッケージ) の開発," 沖電気研究開発 SPA 特集, 第 184 号, Vol. 67, No. 3, pp. 69-72, 2000.

- [19] 佐伯 吉浩, 内田 康文, “高密度デバイスのシステム LSI 化を実現する W-CSP 内蔵マルチチップパッケージ,” 沖テクニカルレビュー, 第 190 号, Vol. 69, No. 2, pp. 50-53, 2002.
- [20] K. Tanida, M. Umemoto, N. Tanaka, Y. Tomita, and K. Takanashi, “Micro Cu Bump Interconnection on 3D Chip Stacking Technology,” *Jpn. J. Appl. Phys.*, Vol. 43, No. 4, pp. 2264-2270, 2004.
- [21] 盆子原 学, 高橋 健司, 石野 正和, “SiP 技術と三次元実装技術の動向と将来,” 電子情報通信学会論文誌, C, Vol. 87, No. 11, pp. 791-801, 2004.
- [22] 池田 晃裕, 浜口 淳, 小木 博志, 岩崎 一也, 服部 励治, 黒木 幸令, “チップスタック型マルチチップ実装における MOSFET の移動度の変動について,” 電子情報通信学会論文誌 C, Vol. 88, No. 11, pp. 866-873, 2005.
- [23] I. Szendiuch, “Development in Electronic Packaging—Moving to 3D System Configuration,” *Radioengineering*, Vol. 20, No. 1, pp. 214-220, 2011.
- [24] H. Miura, N. Ueta, and Y. Sato, “Distribution of Local Thermal Residual Stress in Thin Chips Stacked by Flip Chip Structures,” *IEEE Int. Microsystems, Packaging, Assembly Conference Taiwan*, pp. 143-146, 2006.
- [25] 三浦 英生, 上田 啓貴, 佐藤 裕規, “三次元フリップチップ実装構造における薄化チップの局所変形と残留応力,” *IEICE Technical Report*, pp. 67-72, 2007.
- [26] 佐々木 拓也, 上田 啓貴, 三浦 英生, “三次元積層フリップチップ実装構造におけるチップ内局所応力分布の測定,” 第 22 回エレクトロニクス実装学会, 18C-22, pp. 183-184, 2008.
- [27] 上田 啓貴, 三浦 英生, “積層フリップチップ実装構造における Si チップ内局所残留応力分布の主要発現メカニズムの検討,” エレクトロニクス実装学会, Vol. 11, No. 4, pp.285-291, 2008.
- [28] 上田 啓貴, 佐々木 拓也, 三浦 英生, “積層フリップチップ実装構造の残留応力低減構造に関する研究,” エレクトロニクス実装学会誌, Vol. 12, No. 6, pp. 519-525, 2009.

- [29] T. Enami, K. Nanami, O. Horiuchi, Y. G. Han, and H. Tomokage, "Residual Stress Evaluation of Flip-Chip Bonding with Non-Conductive Films on Organic Substrate and Silicon Interposer by Piezo-Sensor Embedded Test Element Group Chips," *2015 17th Electronics Packaging Technology Conf.*, 2009.
- [30] H. Kishi, T. Sakaki, A. Kaisumi, K. Suzuki, and H. Miura, "Packaging Stress-Induced Shifts of the Electronics and Optical Characteristics of Thin Film Devices Used for Opto-Electronic Hybrid-Integrated Modules," *Int. Conf. Electronic packaging*, pp. 907-910, 2009.
- [31] N. Ueda, H. Watanabe, "Characterization of Packaging-induced Stress Distributions for Small-scale Silicon Chips", The Institute of Electrical Engineers of Japan: *IEEJ Trans. on Electrical and Electronic Engineering*, Vol. 15, No. 8, pp. 1236-1241, 2020.
- [32] J. W. Bae, W. Kim, S. H. Cho, S. H. Lee, "The properties of AlN-filled epoxy molding compounds by the effects of filler size distribution," *J. of Materials Science*, Vol. 35, pp. 5907-5913, 2000.
- [33] D. Lu, C.P. Wong, "Materials for Advanced Packaging," *Springer Science & Business Media*, Chapter 10, pp. 339-348, 2008.
- [34] 高橋 和美, 天野 彰, 山崎 彰, 二階堂 広基, 羽島 行範, "電源用 IC 基準電圧低変動パッケージング技術," *MES2002*, pp. 163-166, 2002.
- [35] M. J. M. Pelgrom, "Matching Properties of MOS Transistors," *IEEE J. of Solid-State Circuits*, Vol. 24, No. 5, pp. 1433-1440, Oct. 1989.
- [36] 平本 俊郎, 竹内 潔, 西田 彰男, "増大する微細 MOS トランジスタの特性ばらつき : 現状と対策," The Institute of Electrical Engineers of Japan: *IEEJ Trans. EIS*, Vol. 128, No.6 pp. 820-824, Oct. 2008.
- [37] N. Ueda, H. Watanabe, "Impact of local stress distribution in a silicon chip mounted by area-arrayed copper pillar wafer-level packaging technology on analog-circuit performance", *IEEE Trans. on Components, Packaging and Manufacturing Technology*, Vol.9, No.6, June, pp.1062-1067, 2019.

第 4 章 パッケージ後の回路特性を予測できる新しい IC 設計技術

4-1. 緒言

第 2 章では、パッケージ工程で生じるチップ面内の応力分布を可視化する技術について説明した。開発した技術は小型 IC チップの多点測定に関する課題を解決し、ボンディングパッドの個数が 4 個という制約下であっても、小型 IC チップのチップ面内における 2 軸の応力成分を面内分布で可視化することを可能にした。

第 3 章では、その技術を用いて 2 種類のパッケージに対して実施した応力解析の結果を示した。得られた結果は QFN と WL-CSP において発生する応力挙動を明らかにし、そこからの得られた成果の一つとして、アナログ回路のペア動作を擾乱させない新たな回路設計手法を見出した。新たに見出した手法は新規性のある方法として公開され産業的に利用される一方で、対象とするパッケージが限定されることから、適用範囲の広がり課題が残った。

ところで、半導体デバイスに応力が加わった際の電気特性の変動については、大別すると MOSFET 単体の応力起因変動に関する報告[1-6]と、回路レベルでの応力起因変動に関する報告[7-10]に分けられる。最終製品として重要となる回路レベルでの応力起因変動を考えると、MOSFET 単体の報告例はあくまでも一つの素子としての応力起因変動に関する調査であって、そこから回路レベルでの特性変動を見積もることは出来ない。また回路レベルの報告例についても、回路構成が変わると個々の素子の応力起因変動が変わるため、結果として回路レベルでの特性変動も変わってしまうことから、汎用性の面で課題がある。さらには実際にその回路を製造してパッケージ工程で組み立てる必要があり、工数と費用の面でも課題となる。

このような課題に対して、現在の IC 設計手法に筆者が考案した技術的改良を加えることで、回路設計の段階において、応力起因の特性変動を予測できる技術を開発した。本章ではネットリストをベースにした、応力起因の特性変動を予測できる新しい回路設計手法について述べる。

4-2. 応力起因の特性変動を予測する技術

応力によって引き起こされる特性変動を回路レベルで予測することのできる技術を開発した。Fig.4-1に、応力による特性変動量を回路レベルで算出することのできる新しい設計手法を、従来の設計手法と共に示す。まず従来の設計手法について説明する[11-14]。

従来の設計手法では、集積回路の設計図である Graphic Data System (GDS) ファイルを作成した後、Calibre-xRC などの市販の抽出ツールを用いて、Netlist (ネットリスト) を作成する。ネットリストには回路の情報と合わせて、回路が持つ寄生成分が記述されている。

まず回路の情報としては、回路を構成する各デバイスの種類とその接続情報が対象となる。一例をあげると、デバイスの種類は NMOS-1 や N+抵抗といったデバイス名とそのサイズなどが相当する。接続情報としては NMOS-1 のドレイン端子と PMOS-1 のゲート端子が結線されている、などの情報が相当する。寄生成分としては、集積回路をシリコンウエハ上に製造した際に、意図せずに形成されてしまう抵抗や容量が対象となる。一例をあげると、寄生抵抗としては金属配線の引き回し部が持つ抵抗成分が相当する。また、寄生容量としては金属配線と金属配線の交差部に生じる容量成分などが対象となる。このような寄生成分は半導体集積回路の規模の増大と、特性に対する要求精度の高まりと共に、回路レベルでの特性ズレという形で次第に顕在化し、課題になっていた。

この課題に対する解決策として、抽出された寄生成分を回路の構成要素として反映させて回路シミュレーションを実行することが現在行われている。すなわち、寄生成分が記述されたネットリストを用いて回路シミュレーションを行うことで、寄生成分の影響を考慮した回路レベルでの特性の確認ができる。このネットリストを Fig.4-1 では Original Netlist と表記している。

このように従来の設計手法では、シリコンウエハ上に形成された回路が意図せずに作り込んだ寄生成分の影響を考慮することが出来るので、ポストレイアウトシミュレーションと呼ばれる。寄生成分の影響を考慮することが出来なかった時代は、寄生成分の影響が原因で生じる設計値からのズレが課題であったが、現在はポストレイアウトシミュレーションの採用によって、この課題は克服されている。

ここで、回路シミュレーションで使用する SPICE モデルパラメータは、回路で使用される素子のサイズを設計者が自由に設定できるように、素子の種類ごとにサイズを細かく変えて多数のパターンを測定することで、実測との合わせ込み精度を確保している。さらには動作時の温度についても、半導体集積回路がマイナス温度下の寒冷地から 100℃を超える車のエンジン回りまで、幅広く使われることに対応するため、動作温度を複数の条件下で測定することで、実測との合わせ込み精度を確保している。このように多数の評価パターンについて、温度を変えて測定するために、SPICE モデルパラメータはウエハの状態での測定が実施されている。これはウエハ状態での測定が自動化しやすいことと、パッケージの状態では温度を変えた測定が難しいことに起因している。従って、従来の設計手法では、ウエハ状態での特性を確認しているにすぎず、その後のパッケージ工程によって発生する応力起因の特性変動を考慮することが出来ない、という課題があった。

本研究では、パッケージ工程によって発生する応力起因の特性変動を回路レベルで予測するために、回路を構成する各デバイスの応力起因の特性変動量を予め算出して、その結果をネットリストに反映させることを行う。応力の影響を反映させたネットリストを、Fig.4-1 では Stress -considered Netlist と表記している。本研究では、この Stress -considered Netlist を生成することのできる新し

い抽出ツールである Stress Netlist Generator (SNG) を開発した。応力の影響を反映させたネットリストを用いて回路シミュレーションを行なうことで、上記の課題が克服できる。

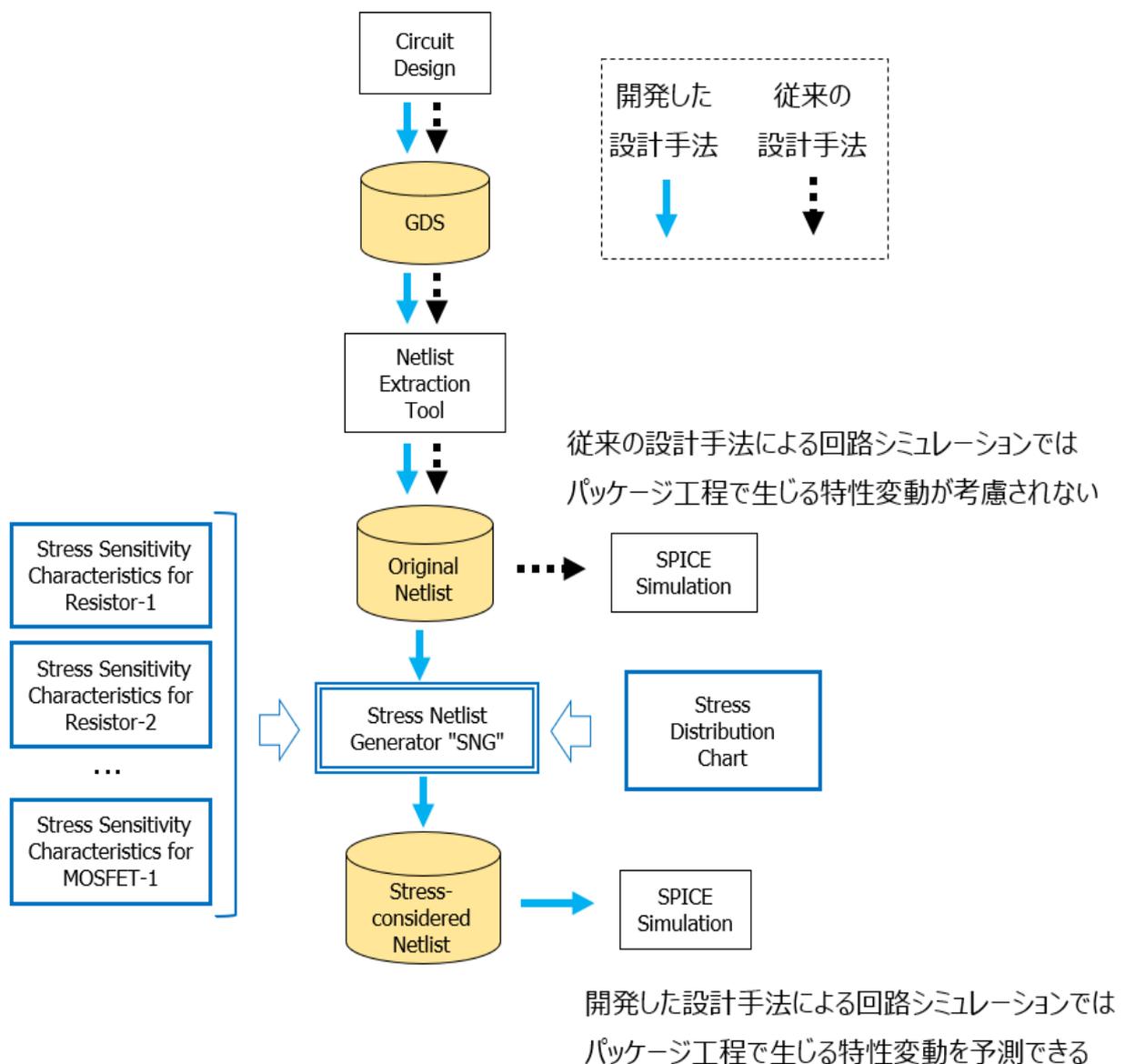


Fig.4-1 Methodology for estimation of stress-induced performance variation.

4-3. Stress Netlist Generator (SNG) の概要

SNG は以下の機能を持っている。まず SNG は GDS ファイルから各デバイスの座標を抽出することが出来る。抽出された座標の情報を用いて、デバイスに印可される応力の値を特定する。さらに SNG は GDS ファイルから各デバイスの方向を抽出することが出来る。ここで “デバイスの方向” とは、デバイスに流れる “電流の方向” を指す。抽出されたデバイスの方向の情報を用いて、応力によって生じる電気特性の変動量を算出する。

SNG が持つ機能

機能① GDS ファイルから各デバイスの座標の情報を抽出することが出来る。

機能② GDS ファイルから各デバイスの方向の情報を抽出することが出来る。

SNG を動作させるためには、次の 2 つのデータが必要である。一つ目はターゲットとする IC チップの応力分布図である。これはターゲット IC のチップ表面の応力強度の等高線図であり、例えば Fig.3-14 がこれに相当する。抽出の方法は第 2 章で説明した通りである。Fig.4-1 では Stress Distribution Chart と表記している。SNG はこの応力分布図を第一の入力データとして、あらかじめ抽出されたデバイスの座標位置における応力の大きさを特定する。

二つ目のデータは、ターゲットとする IC を構成する各デバイスの応力感度特性である。これは既知の応力とデバイスの電気特性の関係を表したデータであり、例えば Fig.2-14 がこれに相当する。抽出の方法は第 2 章で説明したカンチレバー型応力評価装置を用いる。Fig.4-1 では Stress Sensitivity Characteristics と表記している。SNG はこの応力感度特性を第二の入力データとして、デバイスに加わる応力とデバイスの方向の情報を用いて、デバイスの応力起因の特性変動量を算出する。算出の方法は本章 4-4-3. において説明する。

SNG の動作に必要なデータ

データ① ターゲット IC のチップ表面の応力分布図。(Stress Distribution Chart)

データ② ターゲット IC の回路を構成する各デバイスの応力感度特性。

(Stress Sensitivity Characteristics)

以上のように応力分布図と応力感度特性を入力データとして、デバイスの座標と方向の情報を用いることで、回路を構成するデバイスごとの応力起因の特性変動量を算出する。本研究では、応力起因の特性変動を考慮するデバイスとして、MOSFET と抵抗を対象とした。応力の影響を反映させる特性パラメータについては、MOSFET は相互コンダクタンス： G_m を、抵抗は抵抗値： R を、それぞれ変調させた。

応力の影響を考慮するデバイスとその特性パラメータ

デバイス① MOSFET を対象にして，相互コンダクタンス G_m を変調させる。

デバイス② 抵抗を対象にして，抵抗値 R を変調させる。

以上の操作によって，SNG は従来の設計手法で作成されたネットリスト（Original Netlist）を，応力起因の影響を反映したネットリスト（Stress -considered Netlist）に変換する。この変換によって，回路を構成するデバイスごとにそのモデルパラメータが修正されるので，同じ種類の同じサイズのデバイスであっても，デバイスの座標と方向の情報をもとにして，逐一，モデルパラメータが書き換えられる。すなわち，

同じ種類の同じサイズのデバイスが性能の異なる別のデバイスとして再定義される。

この作業によって，応力起因の影響を反映したネットリスト（Stress -considered Netlist）を作成する。最後に，応力起因の影響を反映したネットリストを用いて，回路シミュレーションを実行することで，パッケージ後の回路特性を得る。すなわち，従来の設計方法では実現できなかった“ポストパッケージシミュレーション”の実行が可能となる。

4-4. SNG を実行するための準備

本章では、SNG の実行に必要な各種の技術情報について説明する。まず、SNG を実行する対象製品として、スマートフォン向けに開発された白色発光ダイオード（LED）アプリケーション向けの電源管理 IC を選定した。この IC はプロセスノード 0.5 μm の 8 インチ CMOS ウエハラインを用いて製造されたチップサイズ 1.3 mm \times 1.3 mm の電源管理 IC であって、後述する複数のアナログ回路を搭載している。本研究が小型アナログ IC のパッケージ起因特性変動を対象にしていることから、複数のアナログ回路を搭載している上記の IC チップが研究の対象として好適と判断した。以降では、この電源管理 IC を表示系 IC と記載し、その外観図を Fig.4-2 に示す。

表示系 IC は以下のアナログ回路を備えている[15].

回路① 4 チャンネル LED ドライバー回路

各 LED に電流供給を行う。同じドライバー回路を 4 つ搭載しており、それぞれ LED-1、LED-2、LED-3、および LED-4 と記す。

回路② 1MHz 発振回路

チャージポンプ回路、および、ロジック回路に制御用のパルス信号を供給する。OSC と記す。

回路③ 基準電流生成回路

上記を含むチップ内の回路に対して、動作の基準となる一定電流を供給する。IREF と記す。

回路④ サーマルシャットダウン回路

チップの表面温度が一定温度を超えた際に回路動作を停止させる。TSHUT と記す。

この表示系 IC チップに対して、パッケージ後の回路特性を予測するために、次節以降 4-4-1 から 4-4-4. に示す準備を行った。

スマートフォン用の白色発光ダイオード(LED)
アプリケーション向け電源管理IC
(表示系IC)

4チャンネルLEDドライバー回路

基準電流源回路

サーマルシャットダウン回路

1MHz発振回路

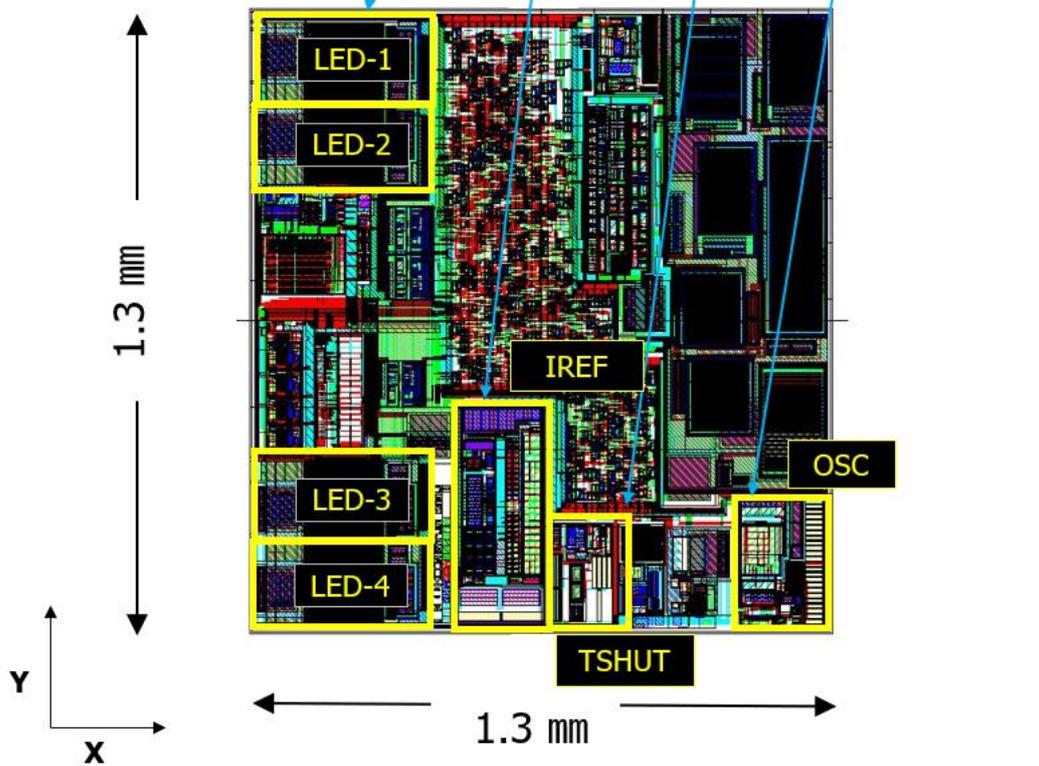


Fig.4-2 Overview of the target small-scale power management IC.

4-4-1. 応力分布図

Fig.4-2 に示した表示系 IC チップに対して、専用のテストチップを用いて、その応力分布を採取した。応力分布の採取方法は第 2 章で説明した通りである。応力分布を採取するために作製した専用のテストチップを Fig.4-3 に示す。テストチップは表示系 IC チップと同じ外形サイズで設計されており、同じ製造プロセスと同じパッケージを用いて製造した。チップ面内の場所による応力の違いを細かく採取するため、ピエゾ抵抗素子はチップ面内の縦方向・横方向ともに 0.19 mm の間隔で 7 × 7 の格子状配置とし、計 49 か所の応力を採取できるように設計した。採取した応力分布を Fig.4-4 に示す。（この結果は Fig.3-14 と同じものである）

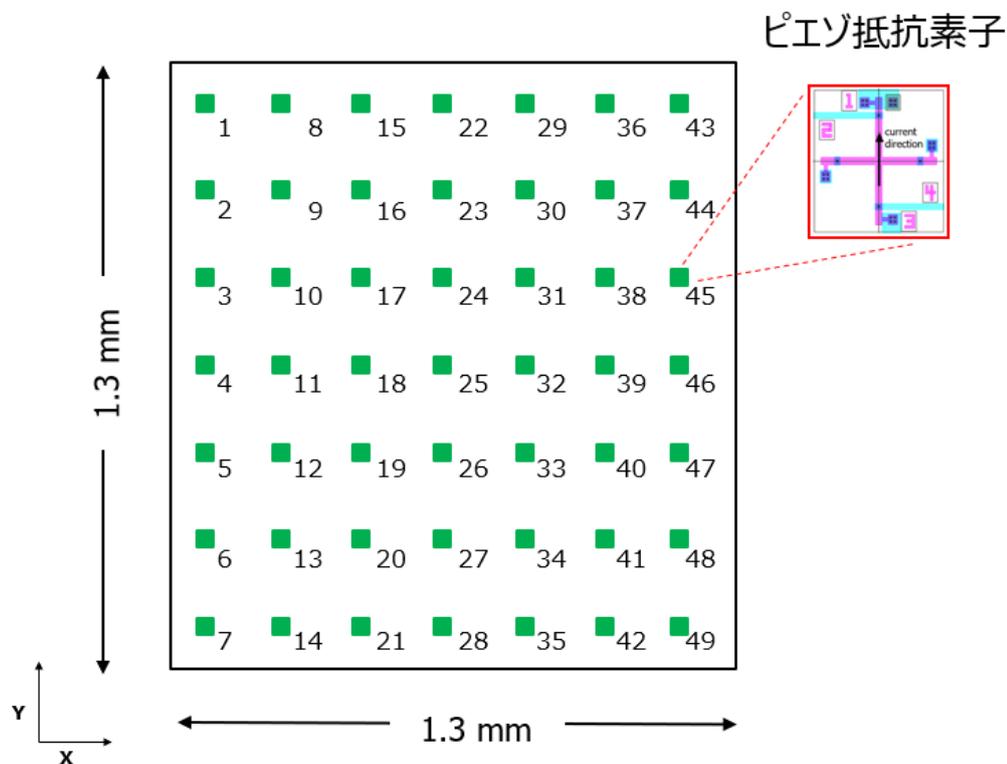


Fig.4-3 Test chip with 49 piezo resistors.

評価に用いた表示系ICチップの応力分布図

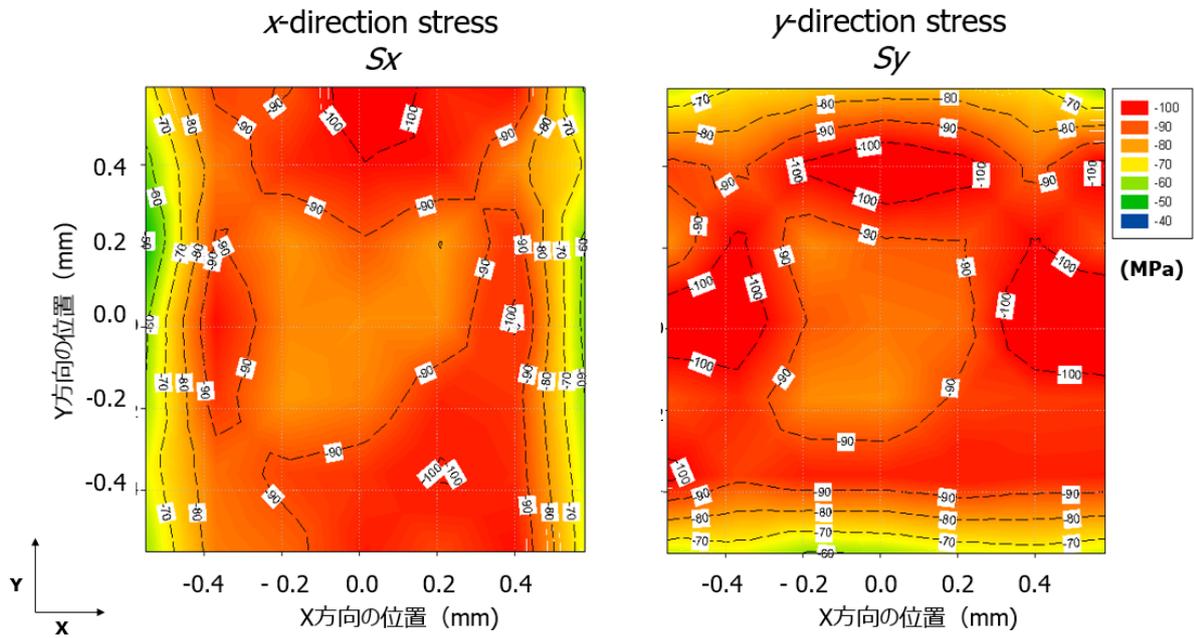


Fig.4-4 Stress distribution charts of the x- and y-direction stress components.

4-4-2. 応力感度特性

評価のターゲットである表示系 IC について、応力による特性変動を回路レベルでシミュレーションするために、回路を構成する各デバイスの応力感度特性を測定した。測定は第 2 章で述べたカンチレバー型応力評価装置を用いた。この表示系 IC の回路を構成するデバイスのうち、回路特性へのインパクトの大きい 2 種類の MOSFET と 3 種類の抵抗体について、応力起因の特性変動の算出を行った。各素子の構造概略図を Fig.4-5, Fig.4-6 にそれぞれ示す

MOSFET

N チャンネル型 MOSFET (NMOS と略す)

P チャンネル型 MOSFET (PMOS と略す)

応力の影響を反映させる特性パラメータ：相互コンダクタンス G_m

抵抗体

N ウェル抵抗

N+抵抗

PS 抵抗

応力の影響を反映させる特性パラメータ：抵抗値 R

2 種類の MOSFET と 3 種類の抵抗の応力感度特性を Fig.4-7, Fig.4-8 にそれぞれ示す。また、測定結果から読み取った応力感度、すなわち、直線近似したグラフの傾きを Table 4-1, 4-2 にそれぞれ示す。

Table 4-1 Extraction of stress sensitivity for MOSFETs.

gm	Stress//Current	Stress⊥Current
NMOS	0.067	0.034
PMOS	-0.064	0.051

(%/MPa)

Table 4-2 Extraction of stress sensitivity for resistors.

R	Stress//Current	Stress⊥Current
Nウェル抵抗	-0.025	-0.015
PS抵抗	-0.013	0.000
N+抵抗	-0.013	0.002

(%/MPa)

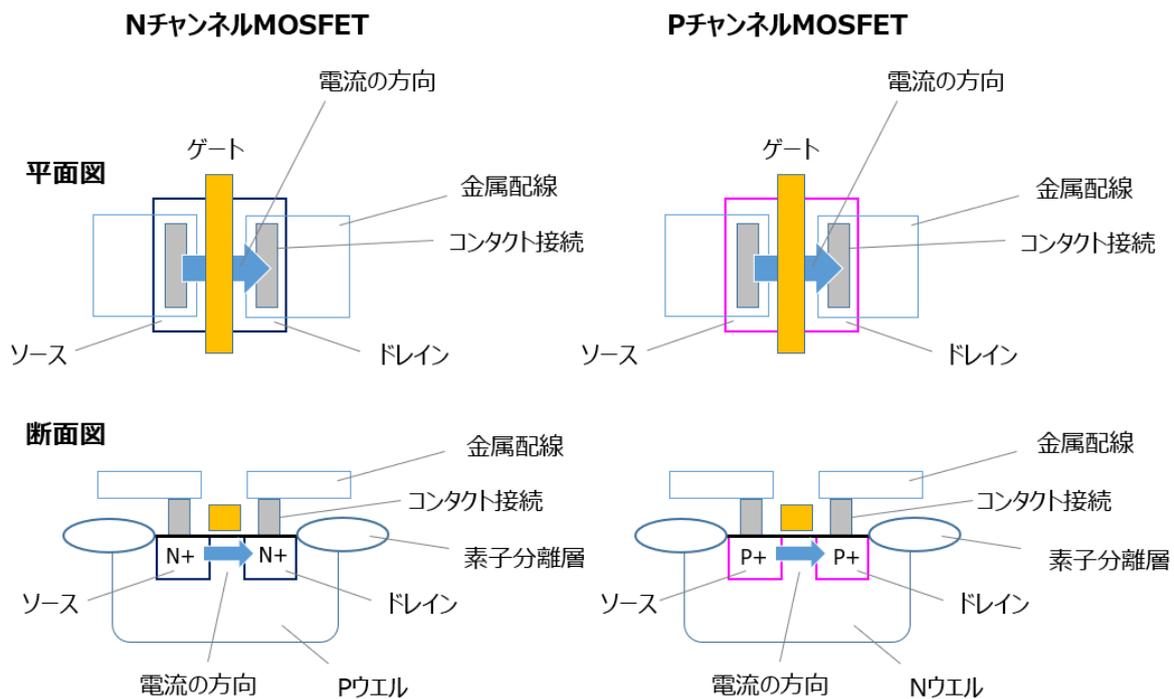


Fig.4-5 Outline drawing of two types of MOSFET.

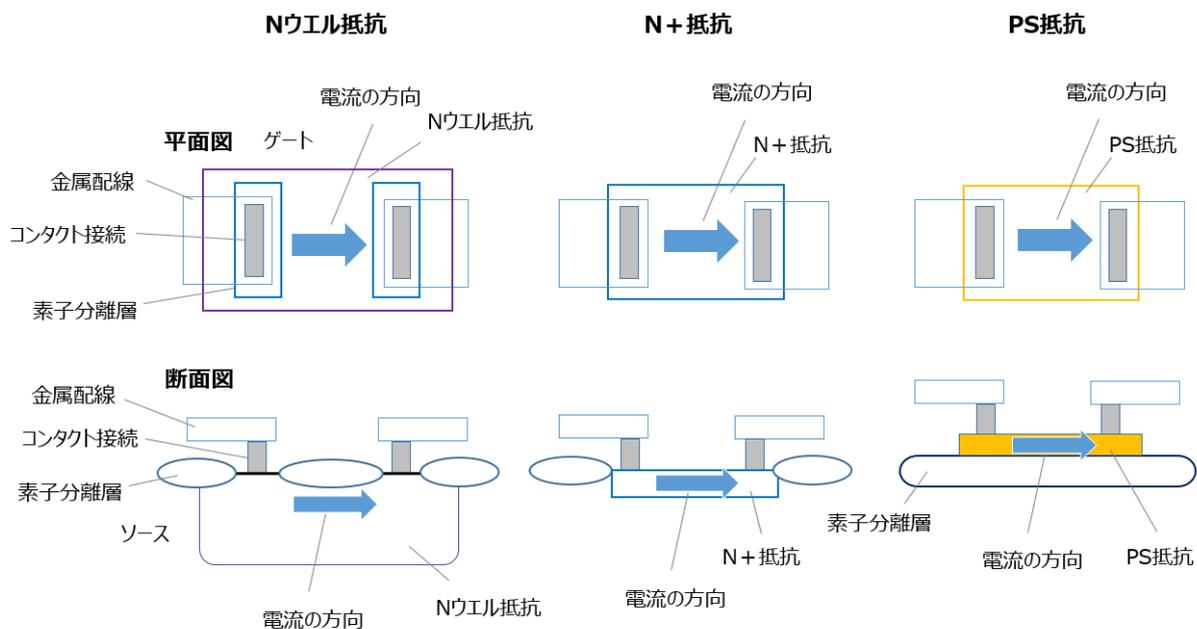


Fig.4-6 Outline drawing of three types of resistor.

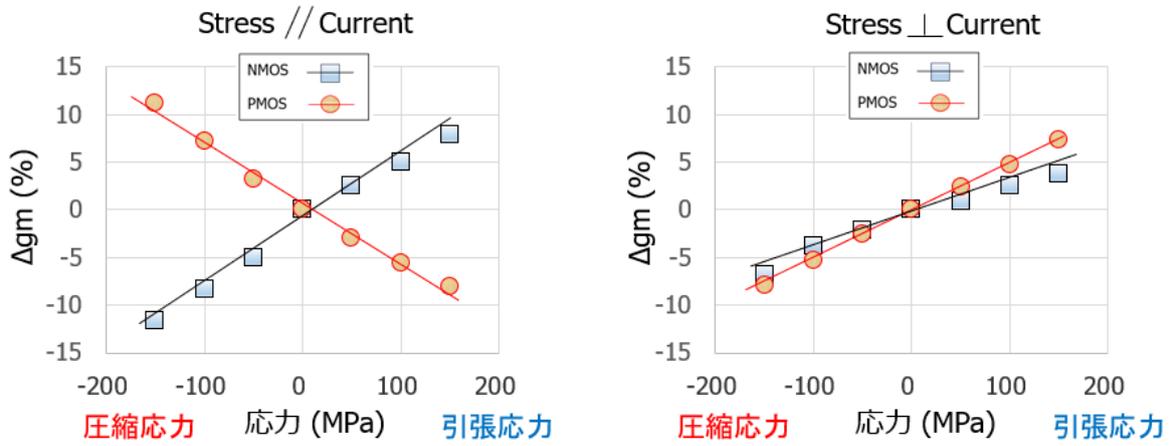


Fig.4-7 Stress Sensitivity Characteristics for two types of MOSFET.

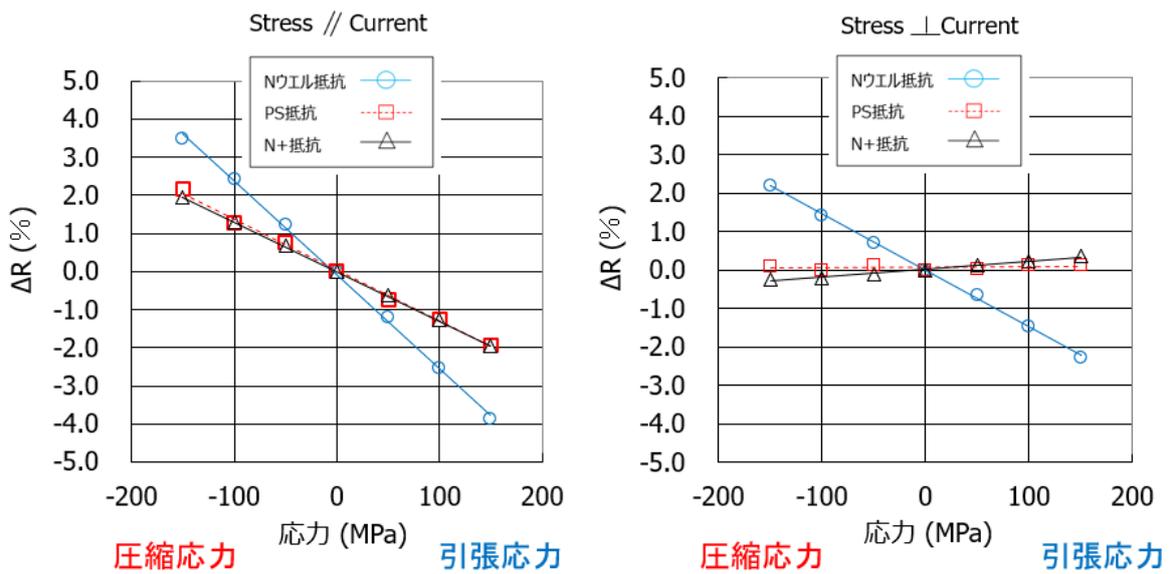


Fig.4-8 Stress Sensitivity Characteristics for three types of resistor.

4-4-3. 応力起因の特性変動の算出方法

IC内の各デバイスに対して、応力による特性変動量を、Fig.4-4に示す応力分布図と、Fig.4-7, Fig.4-8に示す応力感度特性の両方を用いて算出する。算出に用いる式は、X方向の応力とY方向の応力が独立して作用する場合の線形和として表わされる[16-18].

IC内の任意の場所にあるデバイスに対する算出式を、Fig.4-9を用いて説明する。MOSFETに関する例として、電流の方向がY軸に平行なNMOS-1と、X軸に平行なPMOS-1を対象に、それぞれ式(9)、式(10)で表される。

$$\begin{aligned} \Delta Gm (NMOS-1) &= \text{gradient } \Delta Gm (\text{Stress} // \text{Current}) \times Sy \\ &+ \text{gradient } \Delta Gm (\text{Stress} \perp \text{Current}) \times Sx \end{aligned} \quad (9)$$

$$\begin{aligned} \Delta Gm (PMOS-1) &= \text{gradient } \Delta Gm (\text{Stress} // \text{Current}) \times Sx \\ &+ \text{gradient } \Delta Gm (\text{Stress} \perp \text{Current}) \times Sy \end{aligned} \quad (10)$$

ここで式(9)について、 $\Delta Gm (NMOS-1)$ は、NMOS-1に応力が加わったときのGmの変化率を示す。 $\text{gradient } \Delta Gm (\text{Stress} // \text{Current})$ 、および、 $\text{gradient } \Delta Gm (\text{Stress} \perp \text{Current})$ はそれぞれ、応力の方向と電流の方向が平行、および、応力の方向と電流の方向が垂直な場合の応力感度特性の傾きを示す。それらはすなわち、Table 4-1に示している。式(10)についても同様である。NMOS-1とPMOS-1で電流の方向が90度異なっているので、それに対応して右辺のSyとSxの係数項が式(9)と式(10)で入れ替わる点に注意する。

抵抗に関しても、MOSFETの場合と同様に、電流の方向がY軸に平行なResistor-1と、X軸に平行なResistor-2を例として、それぞれ式(11)、式(12)に示す。

$$\begin{aligned} \Delta R (Resistor-1) &= \text{gradient } \Delta R (\text{Stress} // \text{Current}) \times Sy \\ &+ \text{gradient } \Delta R (\text{Stress} \perp \text{Current}) \times Sx \end{aligned} \quad (11)$$

$$\begin{aligned} \Delta R (Resistor-2) &= \text{gradient } \Delta R (\text{Stress} // \text{Current}) \times Sx \\ &+ \text{gradient } \Delta R (\text{Stress} \perp \text{Current}) \times Sy \end{aligned} \quad (12)$$

ここで式 (11) について, ΔR (Resistor-1) は, Resistor-1 に応力が加わったときの R の変化率を示す. $gradient \Delta R$ (Stress//Current) , および, $gradient \Delta R$ (Stress \perp Current) は, それぞれ, 応力の方向と電流の方向が平行, および, 応力の方向と電流の方向が垂直な場合の応力感度特性の傾きを示す. それらはすなわち, Table 4-2 に示している. 式 (12) についても同様である. 応力の方向と電流の方向の関係に注意が必要であることも, MOSFET の場合と同様である.

各デバイスはチップ表面で平面的な広がりを持つので, デバイスの座標については以下のように定義した. すなわち, Fig.4-10 に示すように, MOSFET についてはチャンネル (反転層) の中心をその MOSFET の座標とした. この座標は MOSFET のレイアウト (GDS データ) において, 素子分離層を確定する矩形データとゲート電極を確定する矩形データが重畳している矩形エリアの中心として求めた. 抵抗については両端のコンタクト接続が対向するエリアの中心をその抵抗の座標とした. この座標に関しては, 対向しているコンタクト接続の向かい合う 4 つの頂点を結んだ矩形エリアの中心として求めた. いずれの場合もデバイスを流れる電流経路の内部にその座標が入っているので, 定義の仕方としては適切と判断している.

上記によって抽出したデバイスの座標は, 必ずしもピエゾ抵抗素子の座標とは一致しない. 従って, その座標における応力は, 自身の周りの 4 つのピエゾ抵抗素子の測定結果を内挿近似することで算出した. その手順を Fig.4-11 に示す.

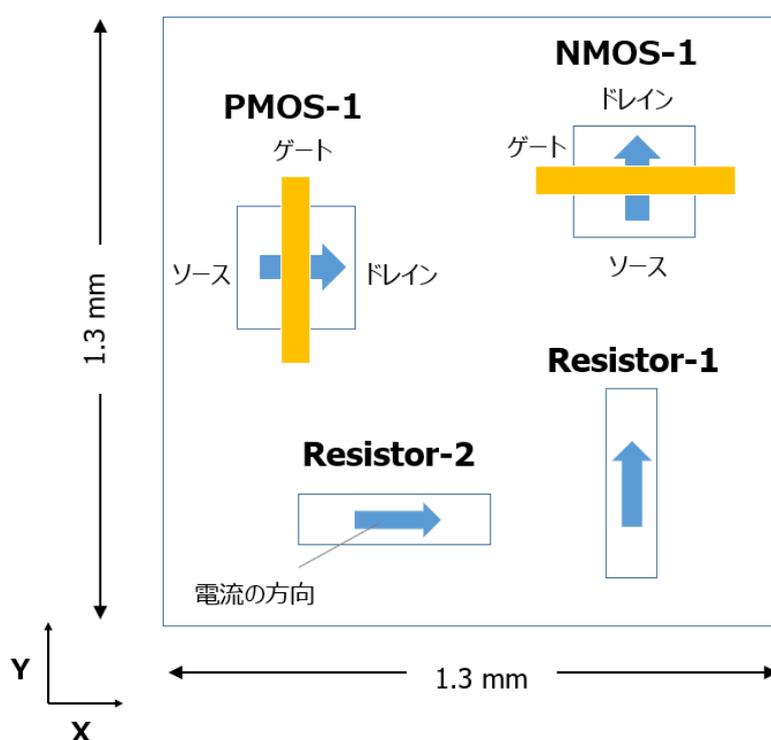


Fig.4-9 Example of individual devices with different directions of current flow.

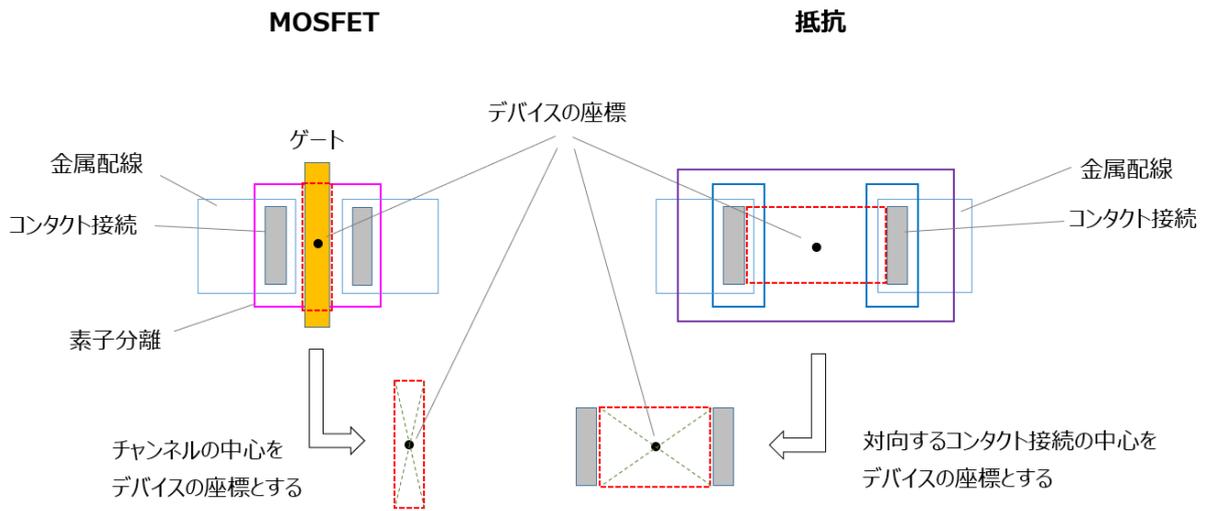


Fig.4-10 Definition of coordinate for each device.

点Pの応力を求める手順

点Pの周りの4つのピエゾ抵抗素子ABCDを用いて

- (1) センサー-A と センサー-D の値を用いて点P1の応力を内挿近似する
- (2) センサー-B と センサー-C の値を用いて点P2の応力を内挿近似する
- (3) 点P1 と 点P2 の値を用いて点Pの応力を内挿近似する

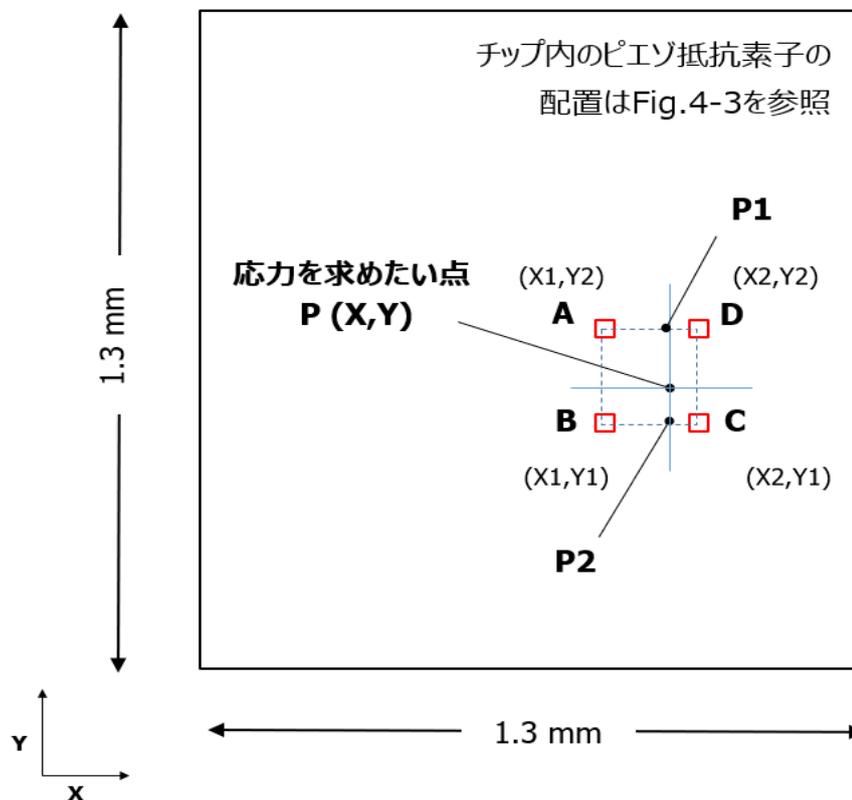


Fig.4-11 Example of interpolation using data for four grids.

4-4-4. 応力の影響を反映させたネットリストの作成方法

以上の準備を経て、SNGはネットリストの書き換えを実行する。すなわち、Original NetlistをStress-considered Netlistに変換する。その手順は以下のとおりである。まずMOSFETの場合、相互コンダクタンス G_m が実効移動度 (U_{eff}) を用いて式 (13) で表される[19].

$$G_m = \frac{W}{L} U_{eff} C_{ox} \left(V_{gs} - V_{th} \right) \quad (13)$$

この式で、 L はMOSFETのチャンネル長、 W はMOSFETのチャンネル幅を示す。 C_{ox} はゲート酸化膜の容量、 V_{gs} はソースを基準にしたゲート端子への印加電圧、 V_{th} はMOSFETの閾値電圧、をそれぞれ示す (Fig.4-12)。さらに、実効移動度 (U_{eff}) は今回の評価で用いたSPICEモデルBSIM3においては、式 (14) で表される[20].

$$U_{eff} = \frac{U_0}{1 + U_a \left(\frac{V_{gs} + V_{th}}{T_{ox}} \right)} \quad (14)$$

ここで、 U_0 は移動度、 U_a は移動度低下の1次係数、 V_{gs} はソースを基準にしたゲート端子への印加電圧、 V_{th} はMOSFETの閾値電圧、 T_{ox} はゲート酸化膜の膜厚を示す。SPICEモデルパラメータでは U_0 に対する変動係数として $MULU_0$ が定義されている[21]。以上のことから、本研究では応力による G_m の変化を移動度 U_0 の変化として反映させ、その具体的な方法としては $MULU_0$ を操作することでネットリストへの反映を行った。

パッケージ起因応力によって

相互コンダクタンス G_m の変調 ⇔ 実効移動度 U_{eff} の変調 ⇔ 移動度 U_0 の変調

⇔ $MULU_0$ を操作することでネットリストに反映

すなわち、SNGは G_m の変化量である ΔG_m を、 $MULU0$ という変動係数を用いて反映させるために、ネットリストの書き換えを実行する。つまり、ネットリストの中のMOSFETの記述項において、 $MULU0$ を新たな記述項として追加する。この操作によって、MOSFETの移動度が新しい値に変更される。ネットリストの中の全てのMOSFETに対して、この操作を実行することによって、各MOSFETの特性が元の状態から応力起因の特性変動後の状態に書き換えられる。

抵抗に対しても同様の処理をSNGは実行する。すなわち、ネットリストの中の抵抗の記述項に対して、応力によって変化した後の抵抗値が新たな抵抗値として追加される。ネットリストの中の全ての抵抗に対して、この操作を実行することによって、各抵抗の特性が元の状態から応力起因の特性変動後の状態に書き換えられる。Fig.4-13にSNGが書き換えを実行した後のネットリストの記述例を示す。以上の操作を、回路を構成する全てのMOSFETと抵抗に対して実行することにより、ネットリストの情報が“ポストレイアウトの状態”から“ポストパッケージの状態”に変換される。

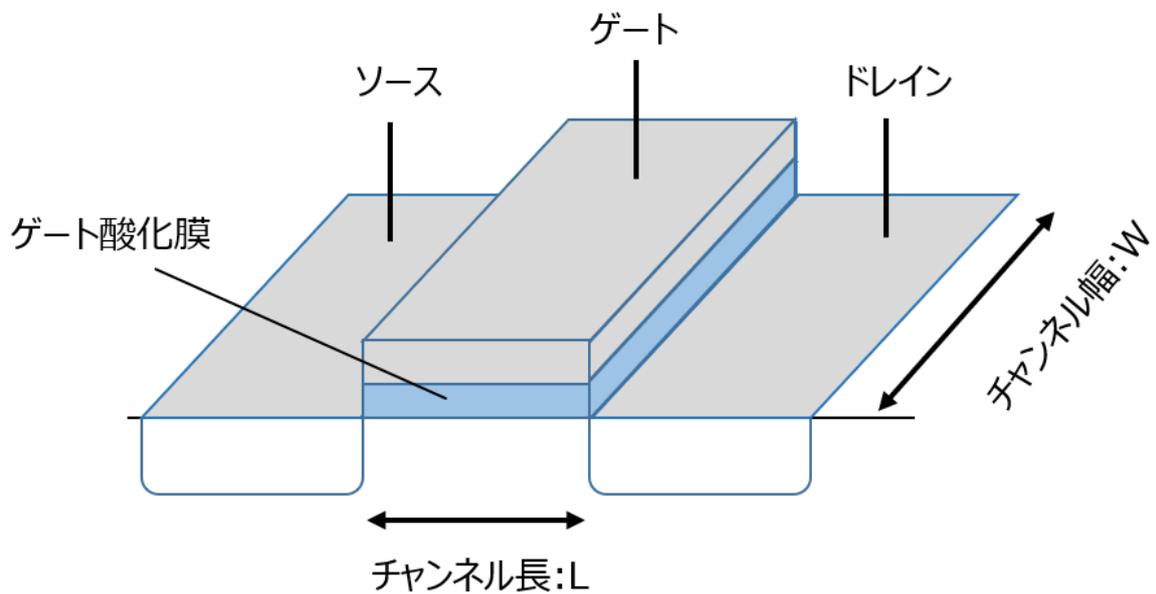


Fig.4-12 Outline drawing of MOSFET.

```
M1 n1 n2 n3 n4 NM L=1e-06 W= 8e-06 AS= 8e-12 PD= 8.6e-06
+ MULU0=0.9724052
+ $X=-61.8 $Y=-192.6 $DIRECTION=X
```

```
R1 r1 r2
+ 409.336
+ $X=247.3 $Y=205.2 $DIRECTION=Y
```

...

回路を構成する全てのデバイスに関する
記述項が列記されている

上段はMOSFETに関する記述項の例

- 1行目：デバイスの基本情報（接続の情報やサイズなど）
- 2行目：MULU0の値（この値が移動度U0に乘算される）
- 3行目：デバイスの座標と方向

下段は抵抗に関する記述項の例

- 1行目：デバイスの基本情報（接続の情報）
- 2行目：抵抗の値（この値に抵抗値が書き換えられる）
- 3行目：デバイスの座標と方向

Fig.4-13 Example of modified description in netlist.

4-5. 結果

パッケージ起因の応力による回路レベルでの特性変動を評価した結果を示す。実施した評価は以下の通りである。まず評価項目としては、前記の表示系 IC に搭載されている 4 つのアナログ回路に対して、それぞれ以下の回路特性を評価した。

回路① 4 チャンネル LED ドライバー回路

LED-1、LED-2、LED-3、および LED-4 の出力電流値 (mA)

回路② 1MHz 発振回路

OSC の発信周波数 (MHz)

回路③ 基準電流生成回路

IREF の出力電流値 (μ A)

回路④ サーマルシャットダウン回路

TSHUT の起動電圧値 (mV)

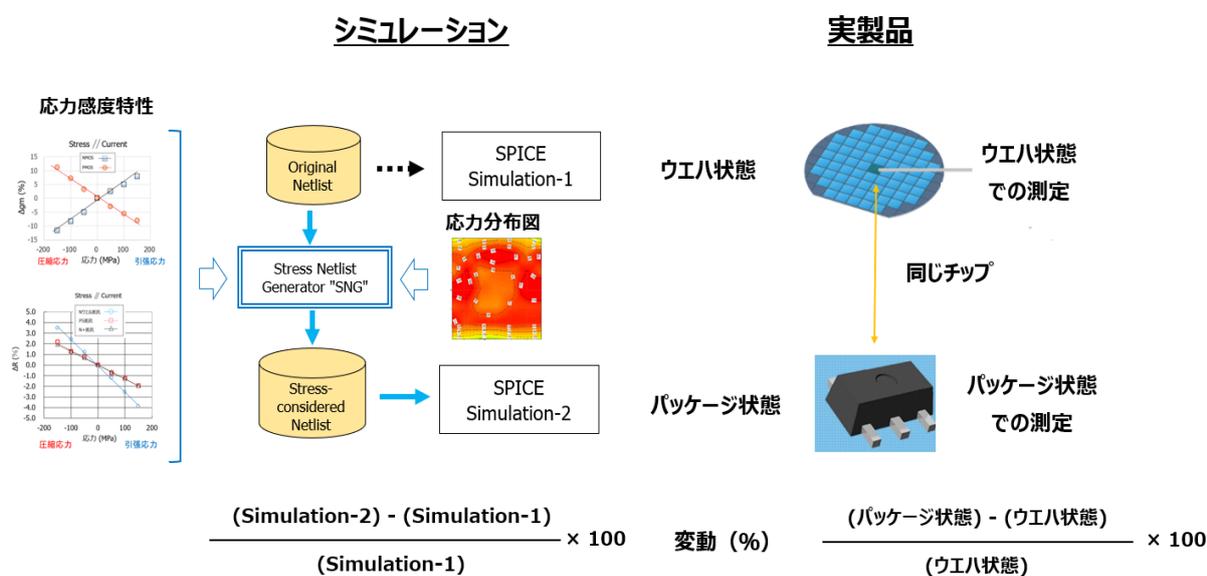
各回路の特性について、回路シミュレーションと実製品での測定のそれぞれを実施した。まず回路シミュレーションに関しては、「応力の影響なし」の場合と「応力の影響あり」の場合の 2 通りのシミュレーションを実施した。これはすなわち、Fig.4-1 に示す「Original Netlist」と「Stress -considered Netlist」のそれぞれを用いた回路シミュレーションに相当する。実製品での測定に関しては、対象とした表示系 IC チップを 8 インチ CMOS ウエハラインにおいて製造し、半導体テスターを用いて回路特性を実測した。ここでの測定については、ウエハ面内の特定位置のチップを対象にして、ウエハの状態とパッケージの状態のそれぞれで測定を行った。回路シミュレーションと実製品での測定はどちらも、電源電圧 3.6V の室温環境下の条件において実施した。以上の手順を図示したものを Fig.4-14 に示す。

各回路の評価結果を Fig.4-15 に示す[22]。まず LED に関しては全ての LED 1 ~ 4 において、マイナス方向の変動、すなわちパッケージ工程による出力電流の低下を示した。この傾向はシミュレーションと実製品の両方において確認されており、その変動量もほぼ近い値が得られた。LED は、発光ダイオードに一定量の駆動電流を供給するために、チャンネル幅の大きい N チャンネル MOSFET で形成されている。N チャンネル MOSFET は Fig.4-7 に示すように、デバイスの方向に関わらず、圧縮応力場において G_m 低下を引き起こすので、今回の評価対象である表示系 IC の応力分布 (Fig.4-4) において、出力電流の低下が起こったものと考えられる。

OSC に関しては、シミュレーション (-1.24%) と実製品 (-1.23%) で良い一致が得られた。またこの回路は Fig.4-2 に示すように配置場所がチップのコーナー部であり、チップ中央部よりは応力が小さいことから、LED と比較して特性変動量が小さく抑えられたものと思われる。

IREF に関しては、4つの回路の中でシミュレーション・実製品ともにマイナス方向に2%を超える最大の変動を示した。この回路の配置場所がチップの中央領域であって、100 MPa を超える大きな圧縮応力の影響を受けているためと考えられる。TSHUT に関しては、他の3つの回路に比べて、シミュレーション・実製品ともに変動が小さい結果となった。

以上の結果をまとめてプロットしたグラフを Fig.4-16 に示す[22]。回路シミュレーションの結果と実製品での測定の結果が良い一致を示している。この結果に対して、ウエルチの t 検定を用いた統計的検定を行ったところ、有意水準 5% で右記の帰無仮説：“回路シミュレーションの結果と実製品での測定の結果のそれぞれの変動 (%) の平均値が一致する” が受容された。このことから、SNG を用いたアナログ回路のパッケージ応力起因の特性変動の予測精度の高さが示された。(研究業績/特許 No-5)



(*) 応力感度特性は例として Stress//Current の結果を示しているが、実際には Stress⊥Current の結果も使用している。
 応力分布図も例として Y 方向成分 Sy の結果を示しているが、実際には X 方向成分 Sx の結果も使用している。

Fig.4-14 Outline of comparison between simulation and measurement.

・LED

	シミュレーション			実製品		
	応力無し	応力有り	変動(%)	ウエハ状態	パッケージ状態	変動(%)
LED-1	23.211	22.801	-1.77	24.017	23.634	-1.60
LED-2	23.211	22.734	-2.05	24.050	23.655	-1.64
LED-3	23.210	22.780	-1.86	24.047	23.644	-1.68
LED-4	23.212	22.746	-2.01	24.052	23.675	-1.57
	(mA)	(mA)		(mA)	(mA)	

・OSC

	シミュレーション			実製品		
	応力無し	応力有り	変動(%)	ウエハ状態	パッケージ状態	変動(%)
1.000	0.988	-1.24	1.079	1.066	-1.23	
	(MHz)	(MHz)	(MHz)	(MHz)		

・IREF

	シミュレーション			実製品		
	応力無し	応力有り	変動(%)	ウエハ状態	パッケージ状態	変動(%)
2.010	1.967	-2.14	2.126	2.078	-2.22	
	(uA)	(uA)	(uA)	(uA)		

・TSHUT

	シミュレーション			実製品		
	応力無し	応力有り	変動(%)	ウエハ状態	パッケージ状態	変動(%)
0.976	0.977	0.18	0.963	0.968	0.53	
	(mV)	(mV)	(mV)	(mV)		

Fig.4-15 Simulation and measurement results.

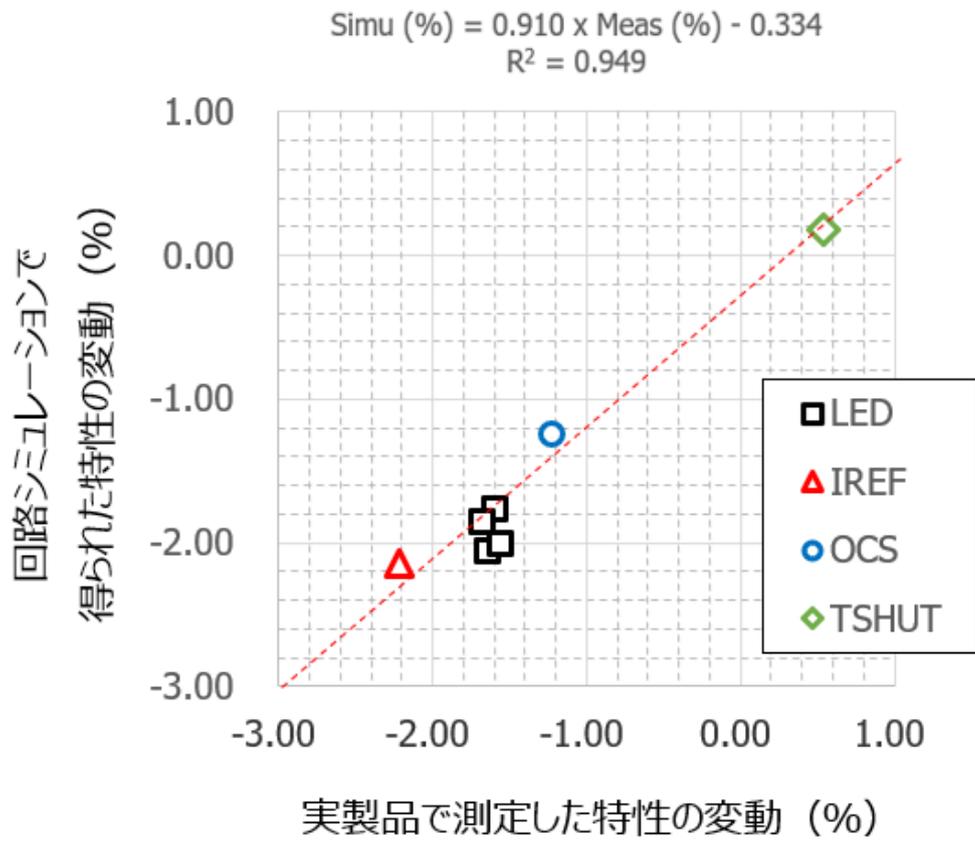


Fig.4-16 Comparison between simulation and measurement results.

4-6. 結言

本章では、パッケージ工程によって発生する応力起因の特性変動課題に対して、現在の IC 設計手法に筆者が考案した技術的改良を加えることで、応力起因の特性変動を回路レベルで予測できる技術を開発し、以下のことを明らかにした。

- 1) 応力起因の特性変動を回路レベルで予測するために、現在の IC 設計手法で用いられているネットリストに、応力起因の影響を追記反映することの出来るツールを開発した。
- 2) 開発したツールを本研究では Stress Netlist Generator (SNG) と呼称し、次の 2 つの機能を持たせた。
 - 機能① SNG は GDS ファイルから各デバイスの座標の情報を抽出することが出来る。
 - 機能② SNG は GDS ファイルから各デバイスの方向の情報を抽出することが出来る。
- 3) SNG は応力分布図と応力感度特性（共に第 2 章記載の成果物）を入力データとして、デバイスの座標と方向の情報を用いることで、回路を構成するデバイスごとに応力起因の特性変動量を算出する。
- 4) 本研究では、応力起因の特性変動量を算出するデバイスと特性パラメータとして、以下の 2 つを対象とした。
 - デバイス① MOSFET を対象にして、相互コンダクタンス G_m を変調させる。
 - デバイス② 抵抗を対象にして、抵抗値 R を変調させる。
- 5) SNG は従来の設計手法で作成されたネットリスト (Original Netlist) を、応力起因の影響を反映したネットリスト (Stress -considered Netlist) に変換する。
- 6) この変換によって、回路を構成するデバイスごとにそのモデルパラメータが修正される。同じ種類の同じサイズのデバイスであっても、デバイスの座標と方向の情報をもとにして、逐一、モデルパラメータが書き換えられる。すなわち、同じ種類の同じサイズのデバイスが性能の異なる別のデバイスとして再定義される。
- 7) 応力起因の影響を反映したネットリストを用いて、回路シミュレーションを実行することで、パッケージ後の回路特性の評価を可能にした。4 種類のアナログ回路に対して実施した回路シミュレーションの結果は実製品の測定結果と良い一致を示した。

参考文献

- [1] A. Hamada, T. Furusawa, N. Saito, and E. Takeda, "A New Aspect of Mechanical Stress Effects in Scaled MOS Devices," *IEEE Trans. on Electron Devices*, Vol. 38, No. 4, pp. 895-900, Apr. 1991.
- [2] H. Ali, "Stress-induced parametric shift in plastic packaged devices," *IEEE Trans. on Components, Packaging, and Manufacturing Technology*, Part B, vol. 20, no. 4, pp. 458-462, Nov. 1997.
- [3] S. Ito, H. Namba, K. Yamaguchi, T. Hirota, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, and T. Horiuchi, "Mechanical Stress Effect of Etch-Stop Nitride and its Impact on Deep Submicron Transistor Design," *IEDM Tech. Digest*, pp. 247-250, 2000.
- [4] Arthur T. Bradley, R. C. Jaeger, J. C. Suhling, and K. J. O'Connor, "Piezoresistive Characteristics of Short-Channel MOSFETs on (100) Silicon," *IEEE Trans. on Electron Devices*, Vol. 48, No. 9, pp. 2009-2015, Sep. 2001.
- [5] S. Ito, H. Namba, K. Yamaguchi, T. Hirota, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, and T. Horiuchi, "Effect of mechanical stress induced by etch-stop nitride: impact on deep-submicron transistor performance," *Microelectronics Reliability*, Vol. 42, pp. 201-209, 2002.
- [6] Y. Han, M. koganemaru, T. Ikeda, N. Miyazaki, Y. Kiyotaka, W. Choi, and H. Tomokage, "Effects of Uni-axial mechanical Stress on Scattering Parameters of Metal Oxide Semiconductor Field Effect Transistors," *Int. Conf. Electronic Packaging*, pp. 440-445, 2009.
- [7] S. Komatsu, K. Suzuki, N. Iida, T. Aoki, T. Ito, and H. Sawazaki, "Stress-insensitive diffused resistor network for a high accuracy monolithic D/A converter," *IEEE Trans. on Electron Devices*, pp. 144-148, 1980.
- [8] J. F. Creemer, F. Fruett, G. C. M. Meijer, and P. J. French, "The Piezojunction Effect in Silicon Sensors and Circuits and its Relation to Piezoresistance," *IEEE Sensors J*, Vol. 1, No. 2, pp. 98-108, 2001.

- [9] G. C. M. Meijer, G. Wang, and F. Fruett, "Temperature Sensors and Voltage References Implemented in CMOS Technology," *IEEE Sensors J.* Vol. 1, No. 3, pp. 225-234, Oct. 2001.
- [10] 高橋 和美, 天野 彰, 山崎 彰, 二階堂 広基, 羽島 行範, "電源用 IC 基準電圧低変動パッケージング技術," *MES2002*, pp. 163-166, 2002.
- [11] <http://bsim.berkeley.edu/~bsim3/>
- [12] L. W. Nagel and D. O. Pederson, "Simulation Program with Integrated Circuit Emphasis (SPICE)," *16th Midwest Symposium on Circuit Theory*, Waterloo, Ontario, Apr. 1973.
- [13] L.W. Nagel, "SPICE2: A Computer Program to Simulate Semiconductor Circuits," *Electronics Research Laboratory Report*, No. ERL-M520, University of California, Berkeley, 9 May, 1975.
- [14] S. Liu, "A Unified CAD Model for MOSFET," *Electronics Research Laboratory Memorandum*, No. UCB/ERL M81/31, University of California, 20 May, 1981.
- [15] 類似の製品として
<https://www.alldatasheet.com/datasheet-pdf/pdf/146724/ANALOGICTECH/AAT3151.html>
- [16] H. Ali, "Stress-induced parametric shift in plastic packaged devices," *IEEE Trans. on Components, Packaging, and Manufacturing Technology*, Part B, vol. 20, no. 4, pp. 458-462, Nov. 1997.
- [17] Y. Tanimoto, T. Toriyama, and S. Sugiyama, "Characteristics of Polycrystalline Si Nano Wire Piezoresistors," *IEEJ Trans. on Sensors and Micromachines*, Vol. 121, No. 4, pp.209-214, 2001.
- [18] T. T. Bui, D. V. Dao, T. Toriyama, and S. Sugiyama, "EVALUATION OF THE PIEZORESISTIVE EFFECT IN SINGLE CRYSTALLINE SILICON NANOWIRES," *IEEE SENSORS 2009 Conference*, pp. 41-44, 2009.

- [19] Arthur T. Bradley, R. C. Jaeger, J. C. Suhling, and K. J. O'Connor, "Piezoresistive Characteristics of Short-Channel MOSFETs on (100) Silicon," *IEEE Trans. on Electron Devices*, Vol. 48, No. 9, pp. 2009-2015, Sep. 2001.
- [20] S. K. Saha, "Compact Models for Integrated Circuit Design: Conventional Transistors and Beyond," DOI: 10.1201/b19117, 2015.
- [21] http://semicon.jeita.or.jp/book/docs/design_for_manufacturabilit.pdf
- [22] N. Ueda and H. Watanabe, "Post-packaging simulation based on MOSFET characteristics variations due to resin-molded Encapsulation," *IEICE Trans. on Electronics*, Vol. E103.C (2020), No. 6, pp. 317-323, 2020.

第5章 Wireless Sensor Network を構築する IoT 機器（センサー）への応用

5-1. 緒言

第4章で示した技術は、現在のIC設計手法では考慮することの出来ないパッケージ工程による回路レベルでの特性変動を、設計段階において精度よく予測することを可能にした。このことは、これまでは実施できなかった“ポストパッケージシミュレーション”を実行可能にする技術であって、ICの高精度化に貢献できる新たなIC設計手法と言える。そして、この技術を実際のIC設計スキームに取り入れることで、将来の電源管理ICの更なる高精度化への進化を支えて、今後、全世界での普及が加速するIoT機器の発展に広く貢献するものと考えられる。

Wireless Sensor Network を構築するIoT機器は、第1章で述べたように大きくは5つの機能部品から構成されている (Fig.1-2)。すなわち、周囲の情報を検知するセンサー (Sensor. このブロックには後段のアナログフロントエンド (AFE) が含まれている)、センサーが出力するデータを解析する演算回路 (MPU)、解析結果をサーバーに伝送する無線通信デバイス (RF)、そして電池 (Battery) が内蔵するエネルギーを個々の電子回路に供給する電源管理IC (Power Management) の5つである。これら5つの機能部品のそれぞれが性能を高めることで、IoT機器としての性能が進化し、その結果としてユーザーの利便性が向上する。

前章までは、これらの構成部品の中で小型化と高精度化が進む電源管理ICを対象にした研究成果について示した。一方で、IoT機器の様々なユースポイントでの普及を技術によって下支えし、世界各地の国と地域に広がっていく高度なネットワーク社会の実現に貢献し続けるためには、技術を見つめる視点を高めて、構成要素の全体を広く捉えることが重要と考える。

この観点に立って、IoT機器を構成する5つの構成部品の全体を俯瞰し、電源管理ICから視点を転じてみる。IoT機器においても小型化と高精度化が進んだ先には、いまはまだ顕在化していないが将来において、応力の影響を考慮する必要性が生じる可能性がある。一般的には微弱な出力しか出せないセンサーはもちろんのこと、センサーが出す微弱なアナログ信号を取り扱う後段のアナログフロント

(AFE: 低ノイズアンプ (LNA) やアナログデジタルコンバーター (ADC) など[1, 2]) は、特に応力の影響を受ける部分と考えられる。これに関しては、Kaltenbacherらがアレー状にホール素子を配置したテストチップを用いて、応力印加時の影響をピエゾホール効果とピエゾ抵抗効果から解析することで、モールド樹脂に封入した際の影響を報告している[3]。この研究事例が示すように、センサーへの応力の影響は、今後ますます重要になってくると考えられる。

以上の考察によって、将来のIoT機器への一層の性能向上に貢献するためには、センサーの動作やその特性をよく知ることが有効であると考えた。本章ではこの考えに沿った研究として、様々なセンサーの中から水素センサーを対象に取り組んだ研究成果を示す。

5-2. 各種センサー

一口にセンサーデバイスと言っても、用途と目的に応じて多種多様で様々なセンサーが提案・開発・量産されており、それら全てを同じテーブルに乗せて比較し、吟味し、その結果を論じることは本研究の目的から逸脱するのでここでは割愛する。本章では、水素センサーに関する研究成果を論じるための基礎的な情報として、世の中で使われている各種のセンサーについて、センサーが対象とする情報とその活用例という切り口で、Fig.5-1 に示す4つのタイプに整理を行った[4]。

- 1) センシング対象：日射量や風のような自然環境に関する情報
センサー：照度センサー，風量センサー，磁気センサー（電子コンパス），ガスセンサー，ガイガーカウンター（放射線量計）など
活用例 ➡ 自然環境の状況記録と自然に関する分析・予報など
- 2) センシング対象：機械の温度や圧力といった人工物やその動作状況に関する情報
センサー：温度センサー，圧力センサー，電位センサー，電流センサー，イメージセンサー（カメラ）など
活用例 ➡ 異常検知と機械の効率的な稼働に関する分析など
- 3) センシング対象：生物の体温、心拍数、血圧といった生命体に関する情報
センサー：温度センサー（体温計），血中酸素濃度計，血糖センサー，磁気センサー（脳磁計）など
活用例 ➡ 健康状態のデータとしての把握、医学における分析など
- 4) センシング対象：人間の体の動き、発声、押したボタンなどの行動に関する情報
センサー：加速度センサー，ジャイロセンサー，マイク，タッチセンサー（タッチパネル）など
活用例 ➡ 電子機器への入力・操作や人体の動きの把握など

上記1)～4)の整理によって、センサーデバイスが自然環境や日常生活の状態把握、機械設備の監視と制御、そして生体情報の把握による健康管理や医学的应用など、幅広いシーンで活躍していることが分かる。より身近な例では、今日多くの人が使用して、もはや手放すことの出来ない存在とも言えるスマートフォンには10個を超えるセンサーが搭載されており[5]、その機能と利便性の高さは、センサーの存在あってのものと言っても過言ではない。そして今後は、センサーデバイスの普及と進化が様々な領域での技術課題を解決し、IoT機器や5Gとの協調と融合によって、より高度な情報ネットワーク社会のイノベーションを加速させていく、と考えられている[6]（Fig.5-2）。

本研究ではこのような多種多様なセンサーデバイスの中で、ガスセンサーの一種である水素センサーに着目し、基礎的な研究を行った。

センシングの対象となる情報と活用例

日射量や風のような
自然環境に関する
情報



自然環境の状況記録と
自然に関する分析・予報

機械の温度や圧力といった
人工物やその動作状況に
関する情報



異常検知と機械の効率
的な稼働に関する分析

生物の体温、心拍数、
血圧といった生命体に
関する情報



健康状態のデータとしての
把握、医学における分析

人間の体の動き、発声、
押したボタンなどの行動
に関する情報



電子機器への入力・操作
に関する情報



センシング（崖）

- ・異常監視/遠隔監視
- ・気温/温度/湿度



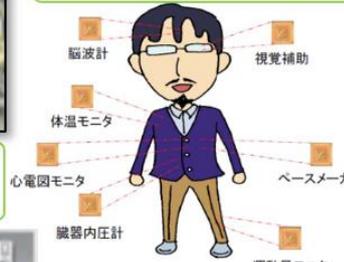
センシング（機械）

- ・温度、圧力



センシング（ひと）

- ・様々な生体情報
- ・五感情報
- ・声、音



センシング（操作）

- ・タッチパネル
- ・モーションセンス

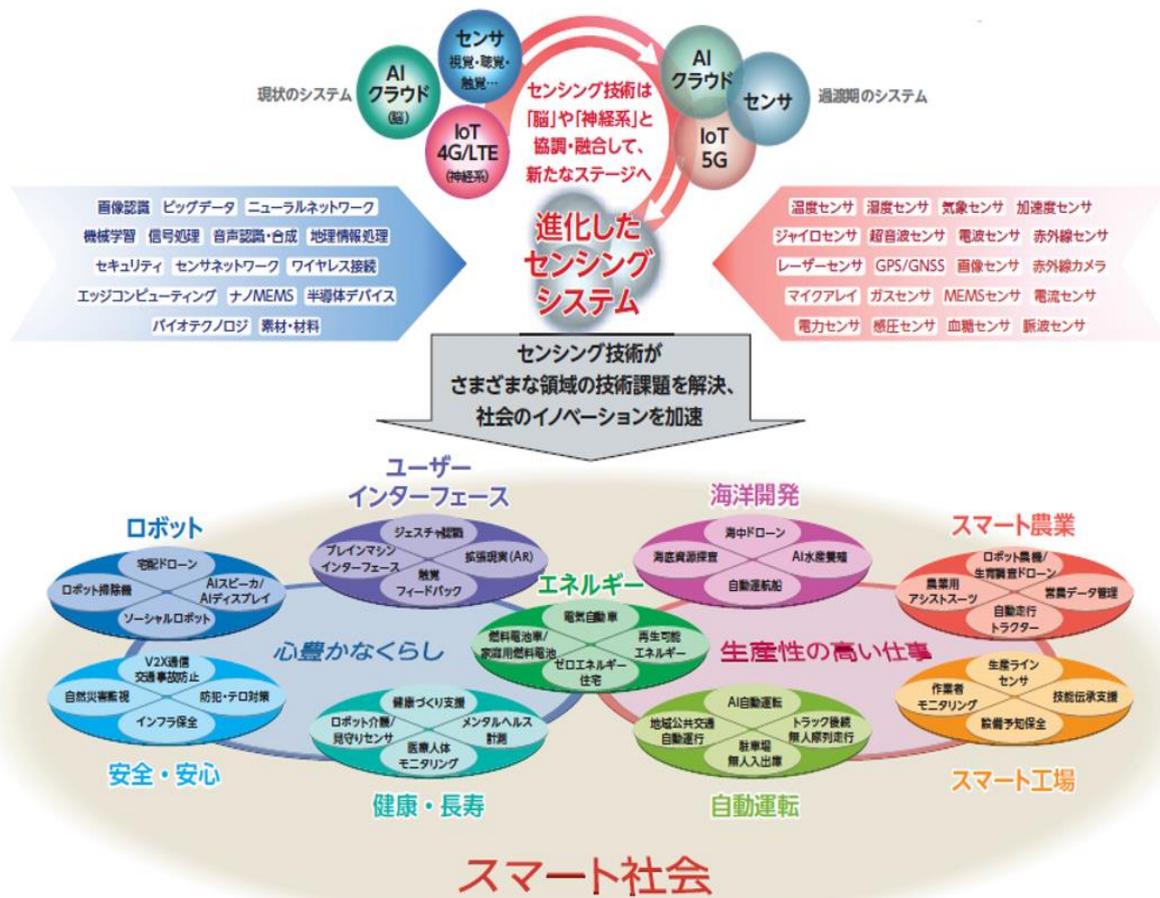


センシング（農場）

- ・日射量測定
- ・土壌水分
- ・気温/温度/湿度/CO₂

参考文献[4]を用いて作成

Fig.5-1 Information about subject for sensing and its application examples.



参考文献[6]より図を抜粋

Fig.5-2 Evolving sensing system.

5-3. 水素センサー

水素への関心が高まっている[7-9]。水素は従来から、工業用の原材料として多岐にわたって使用されており、例えば、石油精製における原油に含まれる硫黄分の除去や、光ファイバーの素材となる石英硝子の製造プロセス[10]、そして半導体製造プロセスにおける原料ガスなどが主な用途として挙げられる。しかしながら、近年の注目の高さは、これらの従来用途によるものではない。石油に代表される化石燃料が排出する温室効果ガスによる地球環境の破壊に対して、炭素を含まないクリーンで新たなエネルギー源としての必要性から水素が注目されているのである。

水素エネルギーは現在、家庭用燃料電池システム（エネファーム）や燃料電池自動車（FCV：Fuel Cell Vehicle）[11] に対して、実用的に使用されている。燃料電池は、燃料である水素と空気中の酸素との電気化学反応から、直接電気エネルギーを取り出すため発電効率が高い。また、電気と熱の両方を有効利用することで、さらに総合エネルギー効率を高めることが可能である点からも、大幅な省エネルギーにつながり得る、と期待されている[12]。

しかしながらその一方で、水素ガスは分子が小さいため漏洩しやすく、万が一漏洩した場合は非常に危険性の高いガスである[13]。そのため、水素エネルギーの普及にはその安全性を担保するために、水素ガス漏れ検知用のシステムが必要であり、水素センサーが必要とされている所以である。

水素センサーについては今日までにさまざまな方式が研究され、提案されている。ここでは国内で実用化されている水素センサーを中心に、以下の5つの方式に関して Fig.5-3 に示した。

熱線型半導体式水素センサーは、白金線コイルに酸化インジウム (In_2O_3) の金属酸化物半導体の微粒子を球状に塗布し、多孔質体として焼結したものである (Fig.5-4)。水素などの可燃性ガスの酸化反応により、N型半導体粒子表面に負イオン化吸着した酸素 (O_2^- , O^- , O^{2-} など) が消費され、同時に自由電子が生成して、半導体の抵抗が減少することを利用してガス検知を行う。低濃度で高い感度があり水素選択性もあるが、動作時のセンサー温度を $300\sim 500^\circ\text{C}$ 程度にまで高める必要がある [14, 15]。

接触燃焼式水素センサーは、白金線コイルを覆うようにして貴金属触媒 (Pt, Pd) を担持したアルミナを主成分とする微粒子を焼結させた多孔質体である (Fig.5-5)。見かけ上は上記の熱線型半導体式と類似の構造を持つが、検知原理は全く異なる。水素などの可燃性ガスと接触すると、触媒燃焼により温度が上昇し白金線の電気抵抗値が増大することで検知を行う。水素感度は比較的高く応答速度も速いが、選択性がなく動作温度も 400°C 程度が必要である [14, 15]。

気体熱伝導式水素センサーは、水素ガスと標準ガス（通常は空気）との熱伝導率の差を利用するセンサーである。上記の二つのセンサーが「化学センサー」であることに対して、このセンサーは「物理センサー」である。検知素子はアルミナ基板上に白金薄膜で測温抵抗体を形成し、ガラス層により不活性化処理を施してある (Fig.5-6)。周囲ガスの種類やその濃度の違いによって検知素子からの放熱量が変化することを利用してガス検知を行う。低感度だが水素選択性は比較的高く、センサー温度 185°C において、ガス濃度に対してよい直線性が得られている [14, 15]。

FET 式水素センサーは、シリコン基板上に形成した MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を用いたセンサーである (Fig.5-7) . センサーの検知原理は電界効果トランジスタの動作原理に基づいている。触媒金属表面層に吸着した水素ガスは水素原子に分解され (解離吸着) , 触媒金属層を通過し, 金属-絶縁膜境界面で電気双極子を形成する。この双極子は境界面のポテンシャル低下を引き起こし, 電界効果トランジスタでのゲート電圧の変化と同じ効果を与える。その結果, トランジスタの電流特性が変化することを利用してガス検知を行う[16]。半導体集積回路の製造技術を用いて形成できるので, 小型化と量産性において優れている。

かねてより岡山大学では塚田啓二教授のグループにおいて, FET 式水素センサーに関する研究を精力的に進めてきた。これまでの研究成果としては, 例えば触媒金属層として Pt (白金) を用いた水素センサーにおける水素応答特性の調査と理論的解析に関する研究[17, 18], ポリテトラフルオロエチレン (polytetrafluoroethylene : PTFE) 製のポラスメンブレンを用いた耐湿性の研究[19], そして Pt ゲート電極と Ti(チタン)ゲート電極の 2 つの FET の混載化による温度補償特性の研究[20]などが挙げられる。さらには, 評価技術においてもテラヘルツ波を用いて触媒電極の仕事関数差シフトを非破壊で可視化するなど[21, 22], 多くの優れた研究成果は枚挙に遑がない[23-28]。

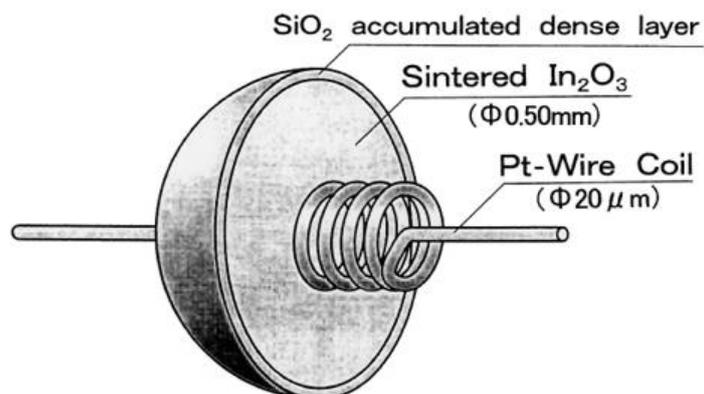
抵抗変化式水素センサーは, 触媒金属への水素の吸着によって抵抗値が変化することを利用するセンサーである。従来の抵抗変化式水素センサーは水素吸蔵金属である Pd (パラジウム) の抵抗値上昇を測定することが一般的であったが[29-31], 水素の吸脱着反応を繰り返すことで Pd が劣化するという課題があった[32]。この課題に対して, 塚田研究室においては Pt の触媒作用を利用し, それを膜厚 40nm 未満の薄膜構造にすることで, 水素からの電子の供給による抵抗値変化の特性挙動を見出し, それを利用した Pt 超薄膜型の水素センサーを世界で初めて開発した[33] (Fig.5-8) 。このセンサーは構造が簡素であり, 室温動作が可能という優れた特徴を有している[34-36]。

次章において, この Pt 超薄膜型の水素センサーに関して実施した基礎的な研究成果について示す。

なお, 上記以外の水素センサーとしては, 2015 年に報告された Pd ナノドットで修飾したグラフェンナノリボンを用いたもの[37], 2018 年に報告された半導体メモリーの種類である ReRAM(Resistive Random Access Memory)技術を応用したもの[38], さらに同年の報告として Pd 合金の水素吸着に伴う形状変形による電極間容量の変化を利用したもの[39], などの報告例があり, 現在も活発な研究開発が続けられている。

水素センサー	検知原理	特徴	動作温度	検出限界	90%応答速度
1.熱線型半導体式	水素の金属酸化物半導体表面上での酸化反応による伝導電子の増加	低濃度で高感度 水素選択性あり	~480℃	>0.1ppm	~20sec
2.接触燃焼式	水素の触媒燃焼による素子温度の上昇	感度は高い 水素選択性はない	~400℃	>1000ppm	5~10sec
3.気体熱伝導式	気体接触による温度変化を抵抗変化として検知	感度は高くない 水素選択性は高い	~185℃	>1%	5~10sec
4.FET式	水素の吸着によるMOSFETの閾値電圧のシフト	小型化 水素選択性あり	~100℃	>100ppm	~5sec
5.抵抗変化式	水素の吸着による伝導電子の増加による抵抗値減少	小型化 水素選択性あり	常温	>10ppm	2min

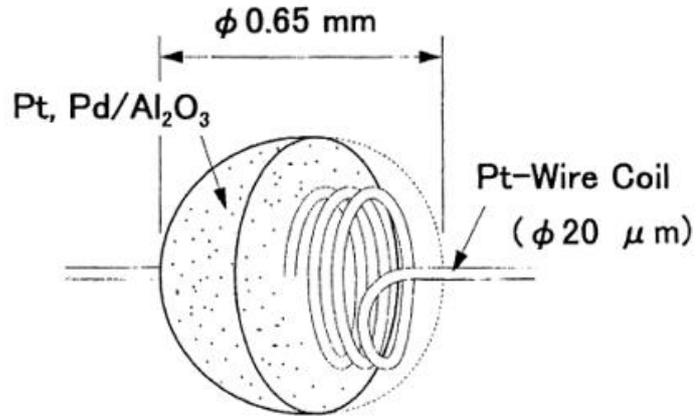
Fig.5-3 Comparison of H₂ sensors.



白金線コイルは金属酸化物半導体を作動温度（300~500℃）に加熱するヒーターと半導体の抵抗値変化を検知する電極を兼ねている。

参考文献[15]より図を抜粋

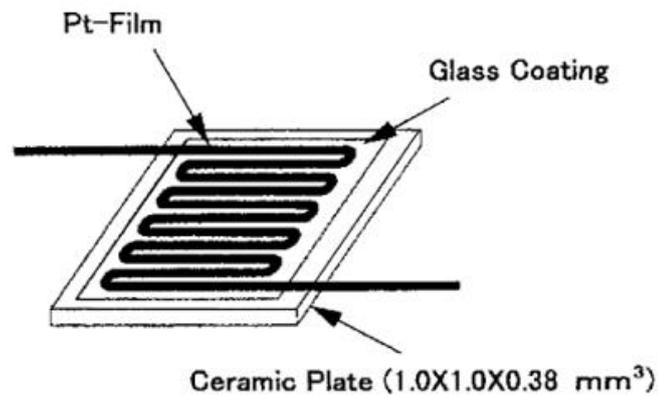
Fig.5-4 Hot wire type semiconductor method.



白金線コイルは触媒を加熱するヒーターと
測温抵抗体を兼ねている。

参考文献[15]より図を抜粋

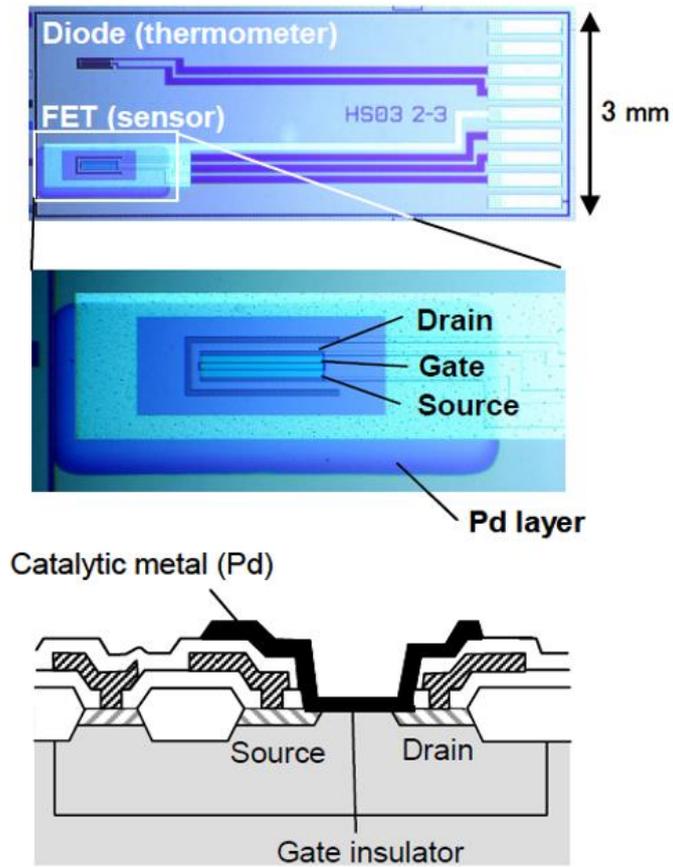
Fig.5-5 Catalytic combustion method.



このセンサーは物理センサーなので化学センサーで見られる劣化や
被毒の問題がなく、再現性と長期安定性に優れている。

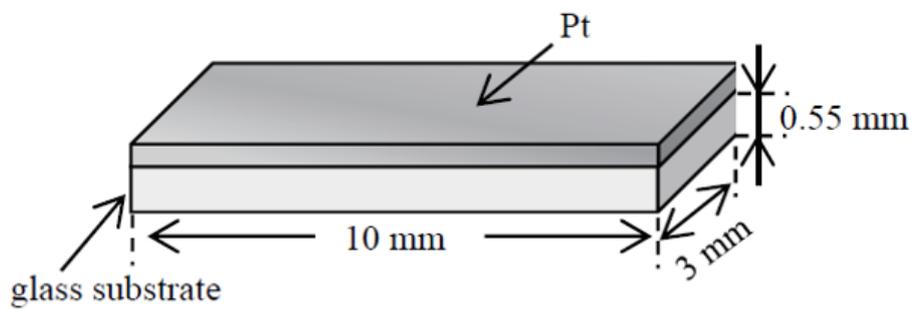
参考文献[15]より図を抜粋

Fig.5-6 Thermal conductivity method.



参考文献[16]より図を抜粋

Fig.5-7 FET method.



参考文献[35]より図を抜粋

Fig.5-8 Ultrathin Platinum film method.

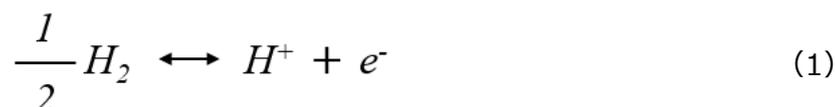
5-4. Pt 超薄膜型水素センサー

前述の通り、Pt 超薄膜型の水素センサーは、2014年に岡山大学塚田啓二教授によって開発された水素に対する抵抗値の変化を利用するセンサーである。抵抗値変化はバルク状態のPtでは観測されず、膜厚が40nm未満の超薄膜状態のPtにおいて観測される。同じく抵抗変化型のPdとは異なり、水素に触れると抵抗値が減少する方向に変化すること、また、この抵抗値変化は室温下においても観測される、といったユニークな特徴を有するセンサーである[40]。

本章においては、Pt 超薄膜型の水素センサーの動作原理とその特徴を示し、実用化に向けて実施したいくつかの基礎的な研究成果と課題について示す。

5-4-1. 動作原理とその特徴

Ptの水素応答の原理をFig.5-9.に示す。Pt表面に水素が付着すると、水素分子は解離し、式(1)に示すように水素イオンと電子を生成する。



この時に生成された電子が自由電子となり、Pt薄膜内に拡散することによって電気抵抗が下がり、水素の検知が可能となる。また、この状態から空気雰囲気に戻すと空気中の酸素分子とPt薄膜内に拡散していた水素イオンと電子が再結合し、水分子として脱離することにより抵抗値が回復する。

窒素雰囲気下では、水素の解離平衡反応のみ生じるが、酸素も存在する空気雰囲気下では水素の解離平衡反応と同時に酸素の解離平衡反応も生じ、水分子が生成される。しかし、解離した水素からPt中に電子が供給され、Pt薄膜の抵抗値が下がることで検知が可能となる[23]。

本研究で用いたPt超薄膜型の水素センサーの水素応答特性の評価事例をFig.5-10に示す。ここでグラフ縦軸の抵抗変化率: ΔR は以下の式(2)で定義している。

$$\Delta R = \frac{R - R_0}{R_0} \times 100 (\%) \quad (2)$$

R と R_0 は測定時の抵抗値と初期の抵抗値をそれぞれ示す。センサーに対して水素ガスを流し込むと抵抗値が減少すること、水素ガスの流し込みを止めると一旦下がった抵抗値が元の値の方向に回復傾向を示すセンサー応答が観測できる。

次に Pt 超薄膜型の水素センサーの強みを他方式の水素センサーと比較しながら説明する。

強み①：構造が簡素

熱線型半導体式や接触燃焼式では巻き線とそれを覆う感応部などの構造体が必要だが、Pt 超薄膜型においては薄膜形成した抵抗体そのものがセンサーになることから、構造としては極めて簡素である。

断熱を目的にした MEMS 構造やソース・ドレインを備えた MOS 構造が不要であるため複雑な製造工程を用いることなく形成できる。

簡素な構造は小型化に対しても有利な場合が多いので、IoT 機器に適したセンサー方式である。

強み②：常温で動作できる

熱線型半導体式や接触燃焼式では 300℃以上、気体熱伝導式や FET 式では 100℃以上に動作時のセンサー温度を高める必要があるが、Pt 超薄膜型においては常温で動作できる。センサー部の過熱が不要なので、過熱に必要なエネルギーが不要であり、機器全体の消費電力を下げることが出来る。

このことはバッテリー搭載型のシステムにおける長時間動作につながるため、この点においても IoT 機器に適したセンサー方式である。

強み③：IC 製造技術との親和性が高い

Pt センサー部の成膜と加工は現在の IC 製造技術[41]を活用することで実現できる。さらに Pt 薄膜の下層膜である TiN (titanium nitrate) は現在の半導体製造プロセスにおいて、MIM 容量 (Metal-Insulator-Metal Capacitance) やメタル配線のバリア層として量産適用されており[42, 43]、信頼性の確立された技術で製造することができる。このため、支持基板としてシリコンウエハを用いて、既存の IC 製造ラインにおいて大量生産する方法を確立することによって、製造コストの面でも有利となる。

以上のように、Pt 超薄膜型の水素センサーは、「小型化できる」、「消費電力が小さい」、「既存の IC 製造ラインが活用できる」といった産業的にも魅力的な特徴を備えている。特に小型化と消費電力に関しては、第 1 章で述べた Wireless Sensor Network を構築する IoT 機器にとっては、他方式との差別化につながるキーとなる特性として注目に値する。筆者が研究の対象として、Pt 超薄膜型の水素センサーを選定した理由もこの部分によるところが大きい。

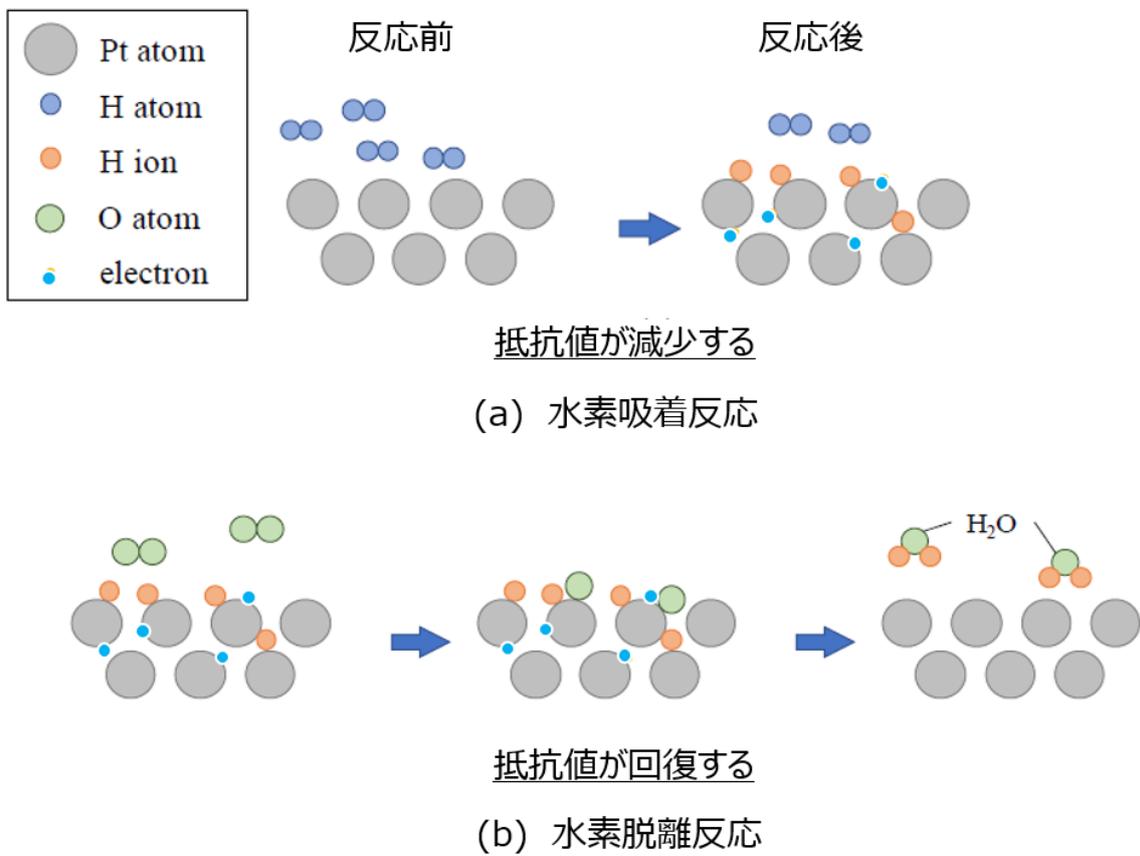


Fig.5-9 Principle of Pt ultrathin film hydrogen sensor.

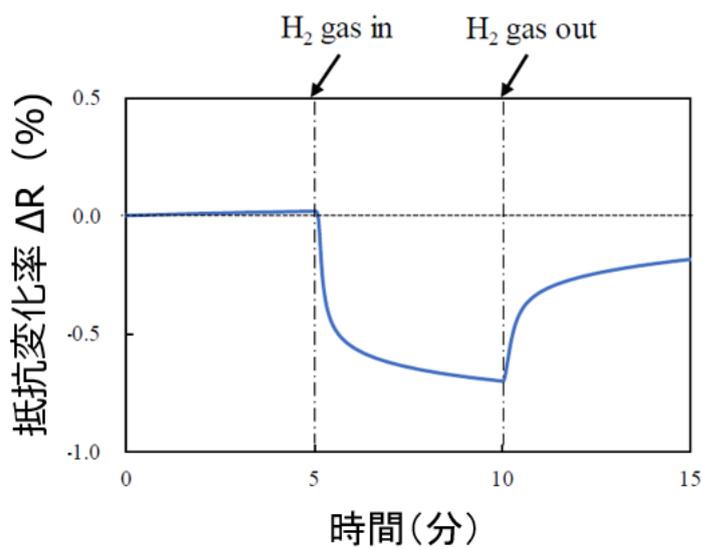


Fig.5-10 Typical hydrogen response of Pt ultrathin film hydrogen sensor.

5-4-2. 実験方法

本研究に用いた水素センサーの製造方法は以下のとおりである。6インチシリコンウエハを基板として、下地層となる熱酸化膜を形成した後、アルミ配線をパターニングする。その後、水素感応膜であるPt薄膜を形成するためにまず接着層としてTiNを成膜し、その上にPt薄膜をどちらもスパッタリング法を用いて成膜した。それぞれの膜厚はPt: 10 nm / TiN: 20 nmである。その後、フォトリソグラフィとドライエッチング技術を用いて所定のパターンに加工した。センサー部の断面模式図をFig.5-11に示す。本研究において形成したセンサーは温度補償を行うために、4つの感応部をブリッジ状に接続している。Fig.5-12にセンサー評価サンプルの外観写真を、Fig.5-13にセンサー感応部の電子顕微鏡写真をそれぞれ示す。

センサーに対する評価としては、水素ガスの濃度依存性や流量依存性、外乱の影響評価などを、岡山大学塚田研究室所有の評価システムを用いて実施した。評価システムの構成をFig.5-14に示す。評価システムは各種ガスボンベと、評価用チャンバー、制御用PCからなる構成になっており、各種ガスをガス切り替え器によって制御し、ガスフローメーターによって流量の調整を行った。センサー抵抗値はセンサーをソースメーターによって定電流で駆動し、センサー間の電圧を読み取り算出した。ここでの測定は、センサー抵抗値の直接の変化を観測するために、対向する2つの端子（Fig.5-12で示す端子Aと端子B）により抵抗値の測定を行った。

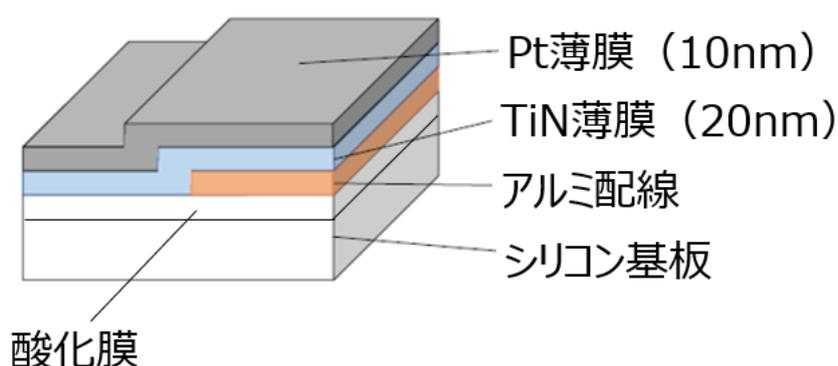


Fig.5-11 Cross sectional view of the Hydrogen sensor.

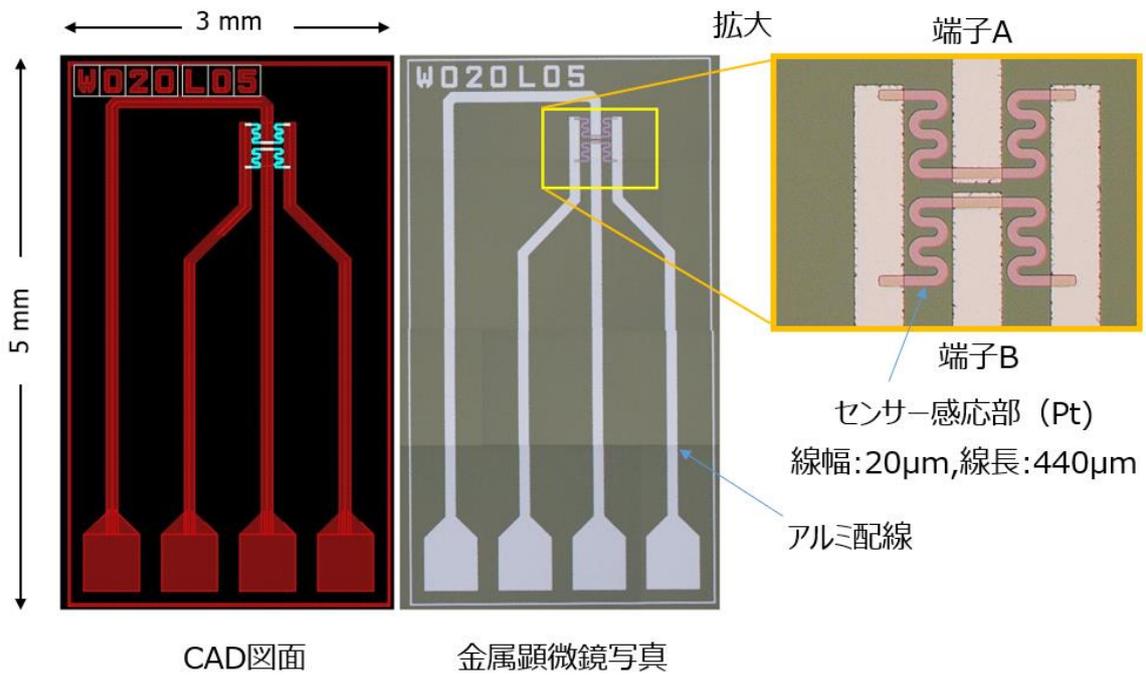


Fig.5-12 Outline of the Hydrogen sensor.

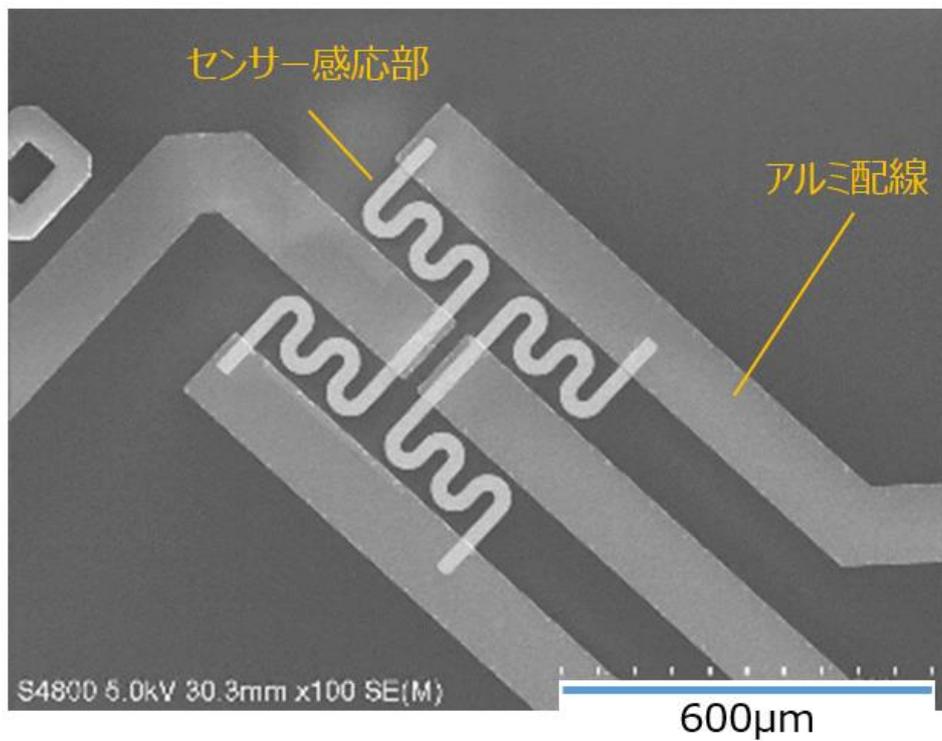


Fig.5-13 SEM photograph of the hydrogen sensor.

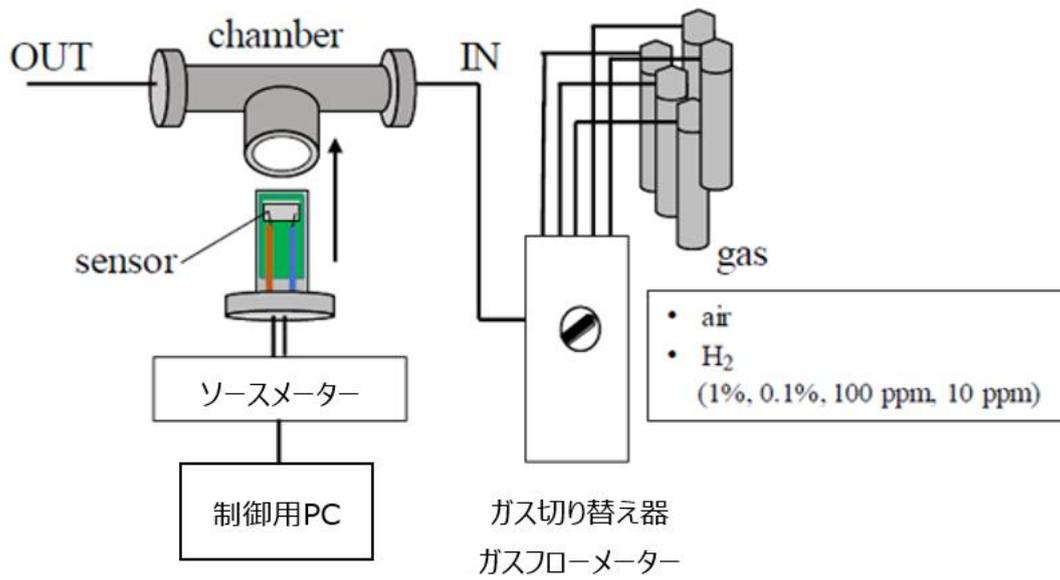


Fig.5-14 Schematic diagram of the measurement system.

5-4-3. 実験結果

以下では本研究において実施した評価結果を示す。また、Pt 超薄膜型のセンサー構造を製造する上で抽出した課題についても、合わせて示す。

5-4-3-1. パルス電流過熱による応答特性の改善

水素応答特性の評価結果 (Fig.5-10) においては、水素ガスの流し込みを止めた後の挙動として、抵抗値が回復傾向を示すものの、元の値にまでは完全には戻り切っていない。この現象については、Pt 薄膜に拡散した水素原子が膜内に残留することが原因であることが既に報告されている[18]。そこで、この抵抗値回復特性の高速化を目的に、Pt 薄膜抵抗へのパルス電流印加を行った結果を Fig.5-15 に示す。

パルス電流がない場合に比べて、パルス電流を印加した場合は水素ガスを止めた際の抵抗値がほぼ元の値 (抵抗値変化率=0.0%) にまで回復していることがわかる。なお、パルス電流は 30 mA の電流を 5 秒間印加しており、これによりセンサー抵抗部は温度 150 °C まで上昇している。この温度上昇に伴って、センサー抵抗値は常温時よりも高くなることから、縦軸の値としてはパルス電流の印加によって一旦プラス側に転じている。

このパルス電流は、水素ガスを流し込んだ時の応答特性についても高速化と高感度化の両方の効果があることがこの結果からわかる。この効果に関しては、パルス電流を印加することで Pt 薄膜中に残留していた水素イオンが表面に移動し、空気中の酸素との反応と脱離が促進され、初期状態に戻ったものと考えられる[28]。以上のように、パルス電流の印加は水素センサーの応答特性の改善に有効であることが示された[44]。

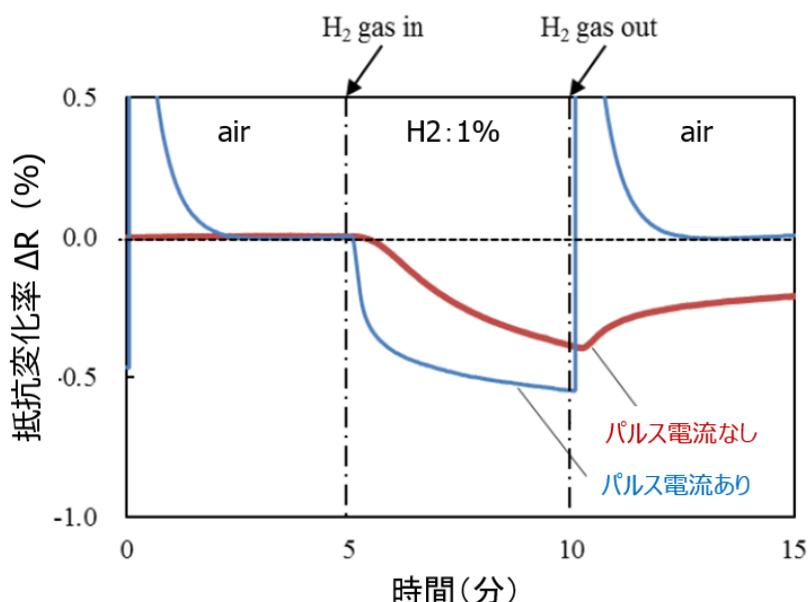


Fig.5-15 Comparison of response times about pulse current treatment.

5-4-3-2. センサーパターンのサイズ依存性

Pt 薄膜のレイアウトが異なるサンプルを用いて、センサーパターンのサイズ依存性を評価した。サイズの異なる 5 種類のセンサーパターンの評価結果を Fig.5-16 に示す。No.1,2,3 のセンサーは同じ線幅:20 μm に対して、線長を変えている。No.4,5 はほぼ同じ線長 (4400 μm ,4300 μm) に対して、線幅を変えたセンサーになっている。(付録-3)

No.1,2,3 の評価結果から、線長の増大に伴ってセンサー感度が増大していることが分かる。また、No.4,5 はほぼ同じ線長でありながら、No.4 (線幅: 100 μm) のほうが No.5 (幅: 150 μm) よりも高い感度特性が得られている。以上の結果から、センサーパターンのサイズとして長い線長・細い線幅にすることで、感度特性を改善出来ることがわかった。

以上の結果はセンサー感度として、センサーパターンのエッジ部分の寄与が大きいことを示唆している。エッジにおいては、水素の吸着反応によって他の部分よりも電界集中が高くなり、その結果、Pt 薄膜内での自由電子の密度が高まったと推察される。本評価から、センサーパターンのサイズの最適化調整を行うことで、センサーの応答特性を改善できることが示された[44].

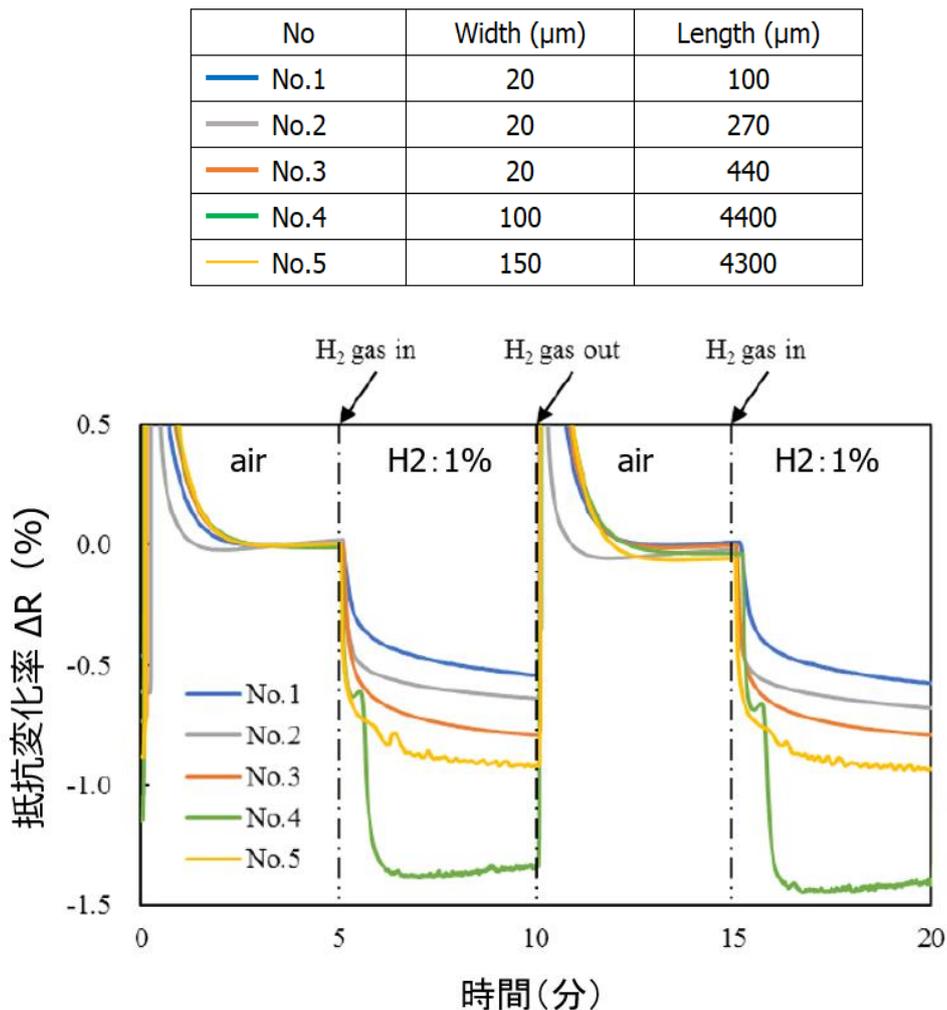


Fig.5-16 Hydrogen response differences about different pattern dimension.

5-4-3-3. 水素ガスの濃度依存性

水素ステーションや燃料電池自動車に対する水素ガスの漏れ検知としては、水素ガスの爆発下限濃度[45]である4%までを精度よく検知できる技術が求められる。その際の最低検出濃度としては、4%の1/100以下の100 ppm程度を検知できるセンサーが必要とされている[46]。本研究では前項評価で最も感度特性の良かったNo.4のセンサーを用いて、4種類の水素ガス濃度（1%、0.1%、100 ppm、10 ppm）に対する応答特性を評価した。評価結果をFig.5-17に示す。要求精度の目安とした100 ppmよりさらに1桁低い10 ppm（0.001%）のガス濃度に対しても、水素応答が観測できる。本研究で作製したPt超薄膜型の水素センサーが、要求とする精度を上回る高い検出感度能力を備えていることが示された[44]。

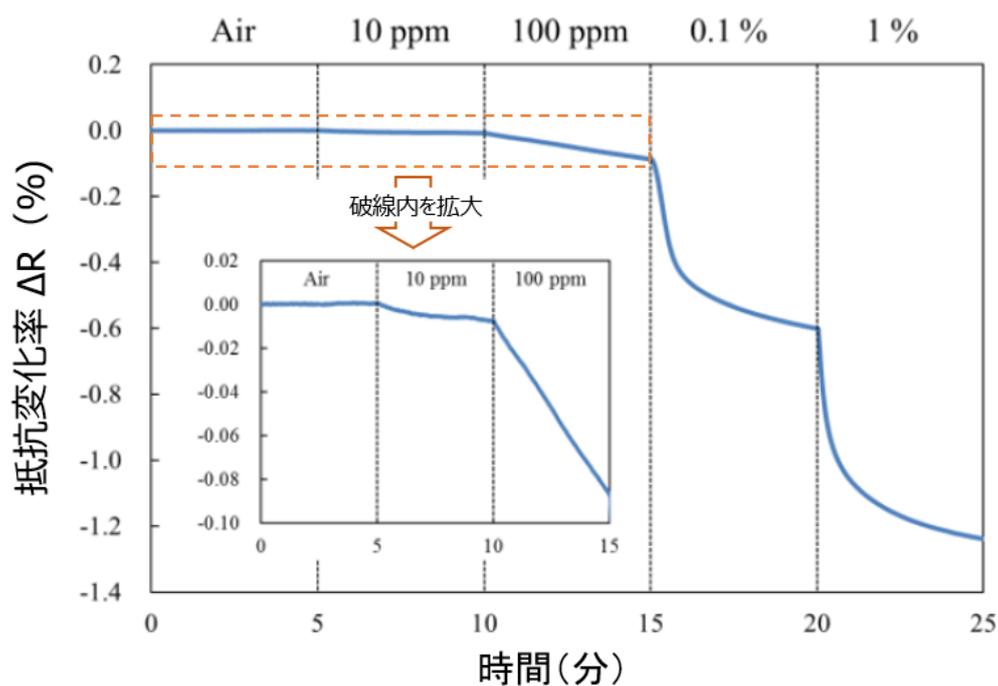


Fig.5-17 Hydrogen concentration dependence of the hydrogen sensor.

5-4-3-4. 駆動電流の最適化

抵抗変化型センサーは抵抗値の変化により水素の検知を行うので、水素以外の影響によって抵抗値が変化してしまうと、誤動作を引き起こすことになる。水素以外で抵抗値を変化させる要因としては、センサー温度があげられる。そこで、センサー温度に影響を与える要因である駆動電流とセンサー周辺の風による抵抗値変化の影響を評価した。

駆動電流が 1 mA と 10 mA で動作中のセンサーを、異なる流量の air ガス（酸素 80% + 窒素 20%）に暴露させた際の実出力変化を Fig.5-18 に示す。ここでの出力変化は、無風時（0 L/min）の抵抗値を基準にしている。まず、10 mA 駆動時の挙動に着目すると、air ガスを流し込むことによって、抵抗値が大きく低下していることがわかる。しかし、1 mA 駆動時は air ガスを流し込んでも、抵抗値はほとんど変化することなく、無風時と同様の値を維持している。この結果は以下のように理解できる。

すなわち、10 mA 駆動のように駆動電流が大きいと、ジュール熱によってセンサー温度が上昇するが、air ガスを流し込むとその風の影響でセンサー部が冷却され徐々に温度が下がることで、抵抗値が下がっていくものと思われる。このことは、最初の 5 分間の無風時の出力変化において、10 mA 駆動では時間の経過と共に抵抗値が上昇していることとも符合する。一方で、1 mA 駆動では無風時においても、風をあてた場合においてもセンサー出力は安定しており、このことから発熱や冷却といった外乱要因での抵抗値の変化は起こっていない、と考えられる。

無風時（0 L/min）と流速 2.5 L/min 時の抵抗変化率に着目すると、1 mA 駆動では両者の変動が約 0.01% であるのに対して、10 mA 駆動では約 1% 程度変化している。このセンサーは空気中水素濃度 1% のガスに対する抵抗値変化率が約 1% 前後であるので（Fig.5-16）、10 mA 駆動では水素ガスを検知した時と同程度の外乱影響が生じてしまう。これに対して、1 mA 駆動での出力変動は水素ガスの検知に影響を与えることなく十分安定していると言える。以上のことから、安定した動作を得るためには低電流駆動が有利であることが示された[40]。

次に水素ガスの流量を変化させた場合の影響について調査した。水素ガスの空気中濃度は 1%、駆動電流として、1 mA、6.5 mA、10 mA の 3 通りについて比較を行った結果を Fig.5-19 に示す。縦軸の変化率は無風（0 L/min）の状態での抵抗値を基準にしている。まず、1 mA 駆動時の応答を見てみると、水素ガスを 1.0 L/min で流し込むと同時にセンサーが水素に反応して抵抗値が下がっていく様子が確認できる。その後、流量を 1.5 L/min、2.5 L/min と増加させているが、抵抗値の減少傾向は増加前と変わらず、なだらかで連続した減少挙動が観測できる。これは流量が一定の場合でも見られる時間経過による抵抗値の変化であって、流量を変化させたことによる影響ではない。

一方で 6.5 mA、10 mA 駆動時の応答を見ると、水素ガスを 1.0 L/min で流し込んだ際に抵抗値が減少しているのは 1 mA 駆動時と同様だが、その後、水素ガスの流量を 1.0 L/min から 1.5 L/min に上げるとその時点で抵抗値が大きく減少し、不連続な変化が起こっている。これは、1 mA 駆動時には見られなかった現象であり、流量の変化による影響と考えられる。

以上の結果から、先の air ガスの流量に対する評価結果 (Fig.5-18) と合わせて、駆動電流を 1 mA とすることで、air ガスと水素ガスのどちらの流量が変化しても、安定して水素ガスの検知が可能であることが示された[40].

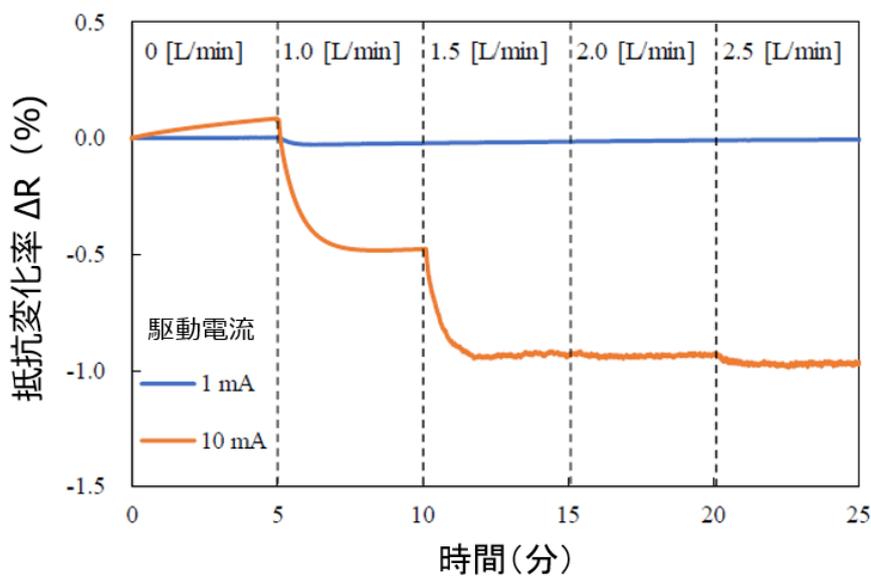


Fig.5-18 Change in resistance due to the flow rate of air gas.

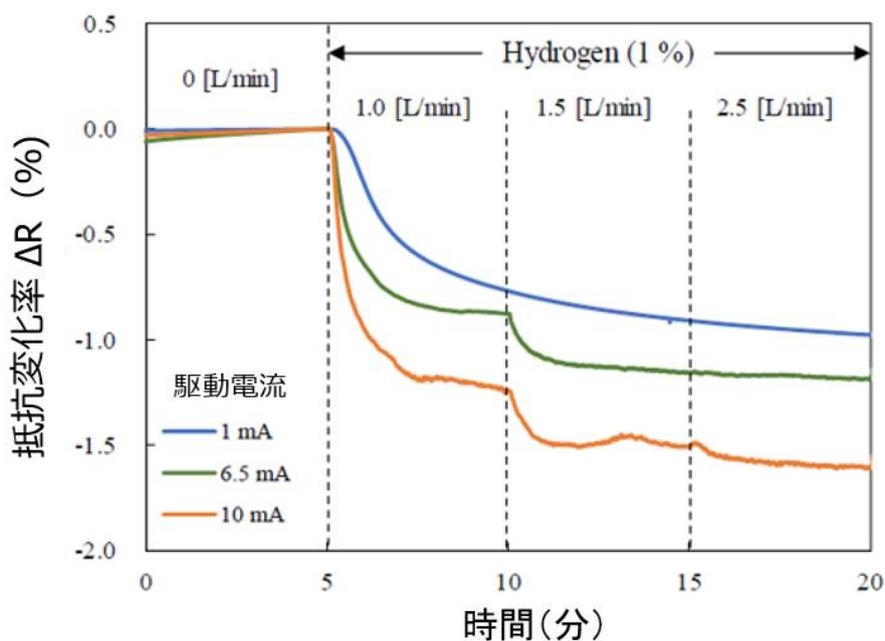


Fig.5-19 Change in resistance due to the flow rate of hydrogen gas.

5-4-3-5. ガス選択性

ガスセンサーへの要求特性として、妨害ガスに対する無反応性があげられる。すなわち、水素センサーについては、水素以外のガス（妨害ガス）に対して反応しないことが求められる。ここでは Pt 超薄膜型の水素センサーについて、4 種類のガスを用いてその応答特性を比較した。4 種類のガスは水素 (H_2)、二酸化炭素 (CO_2)、エタン (C_2H_6)、メタン (CH_4) であり、その空気中濃度はいずれも 1% とした。評価結果を Fig.5-20 に示す。

水素に対する応答特性とは異なり、二酸化炭素 (CO_2)、エタン (C_2H_6)、メタン (CH_4) のそれぞれに対しては、ガスを流し込んだ時の明確な応答性が確認できない。時間軸で 10 分後の抵抗変化率について、水素の場合を 100 と換算した時の比較結果を Fig.5-21 に示す。水素以外の 3 つのガスは水素の場合の 1/10 より小さい反応しか示さず、本水素センサーが優れたガス選択性を持つことが示された[44]。

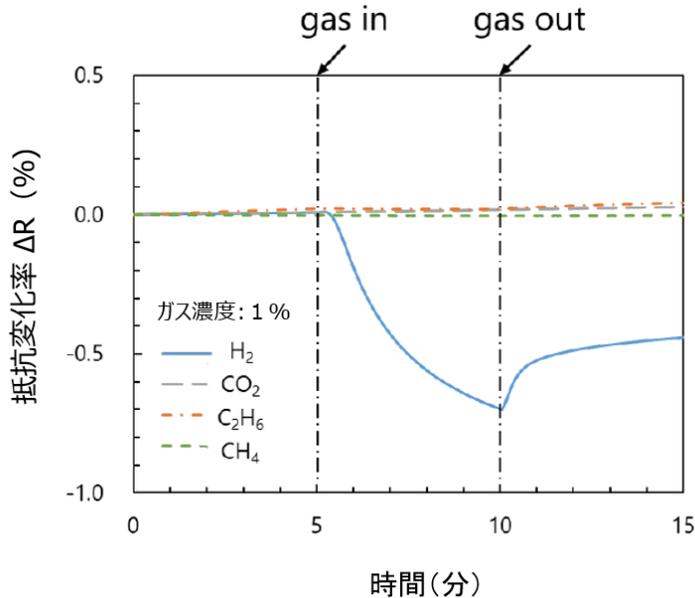


Fig.5-20 Selectivity of the hydrogen sensor to the inference gasses.

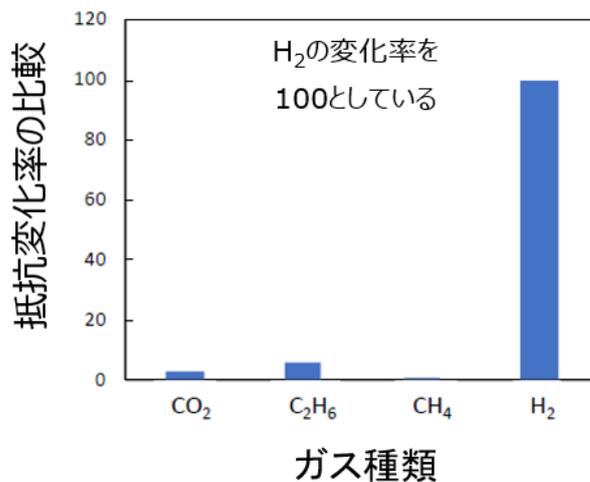


Fig.5-21 Comparison of selectivity between 4 types of gasses.

5-4-4. センサー構造の製造上の課題とその解決方法

この章では Pt 超薄膜型の水素センサーを製造する上で把握した課題と、その解決方法について述べる。前述したとおり、今回の研究で用いた水素センサーは、6 インチシリコンウエハを基板にして半導体集積回路で確立されている製造技術によって作製した。本研究で抽出した課題は以下の 2 つである。

課題①：アルミ配線の抵抗値が設計値より高く、ウエハ面内でばらついている

アルミ配線の抵抗値を測定した結果を Fig.5-22 に示す。

アルミ配線の設計値である抵抗値 = $50 \Omega/\square$ に対して、値としては 3~4 倍程度も高い値である $140\sim 200 \Omega/\square$ に仕上がっており、ウエハ面内においても値がばらつく結果になっている。

本センサーの感応部を電子顕微鏡で観察した結果を Fig.5-23 に示す。

アルミ配線の上面部が削り取られており、その結果、膜厚自体が薄くなっていることがわかる。今回作製したセンサーはアルミ配線の直上にセンサー感応膜を成膜し、リソグラフィ技術によってパターン形成を行っているので、パターン形成時のドライエッチングによりアルミ配線の上面部がエッチングに曝されることになる。その結果、アルミ配線が膜減りし、その抵抗値が上昇したものと考えられる。アルミ配線の膜減りを防止できるセンサー構造への転換が求められる。

課題②：パルス電流を増加させるとセンサー感応膜において焼損が生じた

焼損部の写真を Fig.5-24 に示す。

アルミ配線との段差部においてセンサー感応膜が焼損している。

パルス電流を 40 mA から 10 mA 刻みで増加させた時の、端子に加わる電圧をモニターした結果を Fig.5-25 に示す。

パルス電流 100 mA までは端子の電圧が単調に増加しているが、110 mA 時に拳動が非連続に変化しており、この時点で焼損が生じている。

センサーの応答特性の評価においてパルス電流として 30 mA を印加することで、良好な応答特性が得られることを既に述べたが (Fig.5-15) , 長期の動作における信頼性の観点からは、その 10 倍程度のパルス電流を流せることが望ましいので、この点は課題と認識する。

上記 2 つの課題を解決するため、センサー構造の改良を試みた。現状のセンサー構造と改良後のセンサー構造の断面図をそれぞれ Fig.5-26 に示す。現状のセンサー構造に対して、改良後のセンサー構造は以下 2 つの変更を加えている。

変更①：アルミ配線とセンサー感応膜の間に絶縁膜を挿入する

アルミ配線をパターニングした後、全面に絶縁膜を成膜することで、アルミ配線とセンサー感応膜を分離し、アルミ配線が絶縁膜に覆われる構造にした。

このことで、次工程のセンサー感応膜のドライエッチングにおいて、アルミ配線を保護し、膜減りを防止した。

改良後のセンサー構造において、アルミ配線の抵抗値を測定した結果を Fig.5-27 に示す。アルミ配線の抵抗値がほぼ設計通りの値（50 Ω/□）になっており、ウエハ面内でのばらつきも小さく仕上がっていることがわかる。

以上のように、アルミ配線とセンサー感応膜の間に絶縁膜を成膜することで、アルミ配線の抵抗値がばらつくことが解消された（課題①に対する解決方法の提示）。

変更②：段差部におけるセンサー感応膜の被覆性を改善する

センサー感応膜の損傷がアルミ配線との段差部において発生していること、感応膜の形成をスパッタリング法で行っていること、の 2 点から、今回の損傷の原因として、段差部における感応膜の薄膜化現象、すなわち、ステップカバレッジの低下[47]が原因と考えられる。

そこで、段差部分に傾斜をつけることでステップカバレッジを改善し、段差部での薄膜化の改善を試みた。センサー感応部の段差部分における断面形状の観察結果を Fig.5-28 に示す。メタル配線の端部における段差部、および接続孔における段差部のどちらもが斜め形状になっていることから、段差部における薄膜化が改善されていることが期待できる。パルス電流に対する評価が今後の課題である。

以上のように 2 点の構造変更を施した改良後のセンサー構造の電子顕微鏡写真を Fig.5-29 に示す。今後、センサー特性に関する一連の評価が待たれる。

将来的には、Pt 超薄膜型の水素センサーの特徴である「IC 製造プロセスとの親和性の高さ」を活かして、現在はセンサー単体を個別に製造して基板上でモジュール化している状況を、制御回路と 1 チップ化させることへの転換が期待される。これについては、1 チップ化による一層の小型化と、微弱なセンサー

出力を IC 内部で直接扱うことでの信号の劣化や遅延の低減による高精度化が、その効果として期待できる。小型化と高精度化が将来の IoT 機器に重要なことは既に述べた通りである。

制御回路との 1 チップ化に関しては、巻き線や焼結体を必要とする熱線型半導体式や接触燃焼式、あるいは MEMS 構造を必要とする熱伝導式では課題が多く、これまであまり議論がされてこなかった。それに対して Pt 超薄膜型の水素センサーでは、センサー構造を IC 製造プロセスの後半部分である配線工程に組み込むことで、CMOS 回路で構成される制御回路との 1 チップ化が可能と思われる。その構造案として、Fig.5-30 に 2 層メタルの上層部に Pt 超薄膜のセンサー部を形成した概略図を示す。更なる研究によって将来の IoT 機器への一層の貢献が期待される。

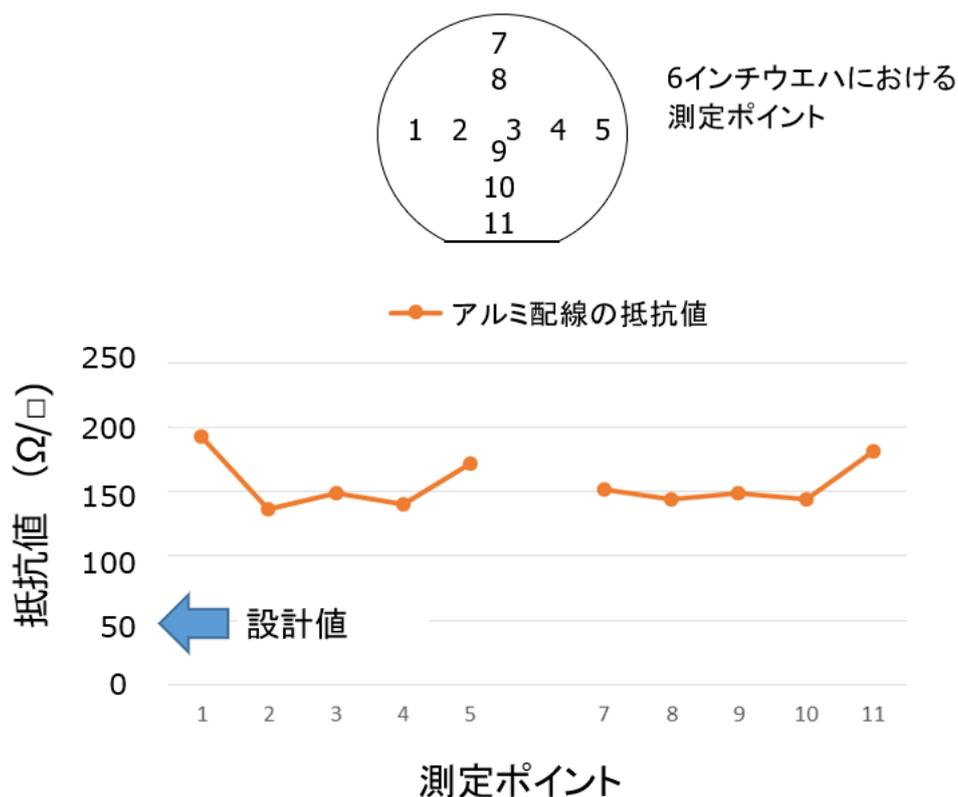


Fig.5-22 Measurement results of Aluminum wiring resistance.

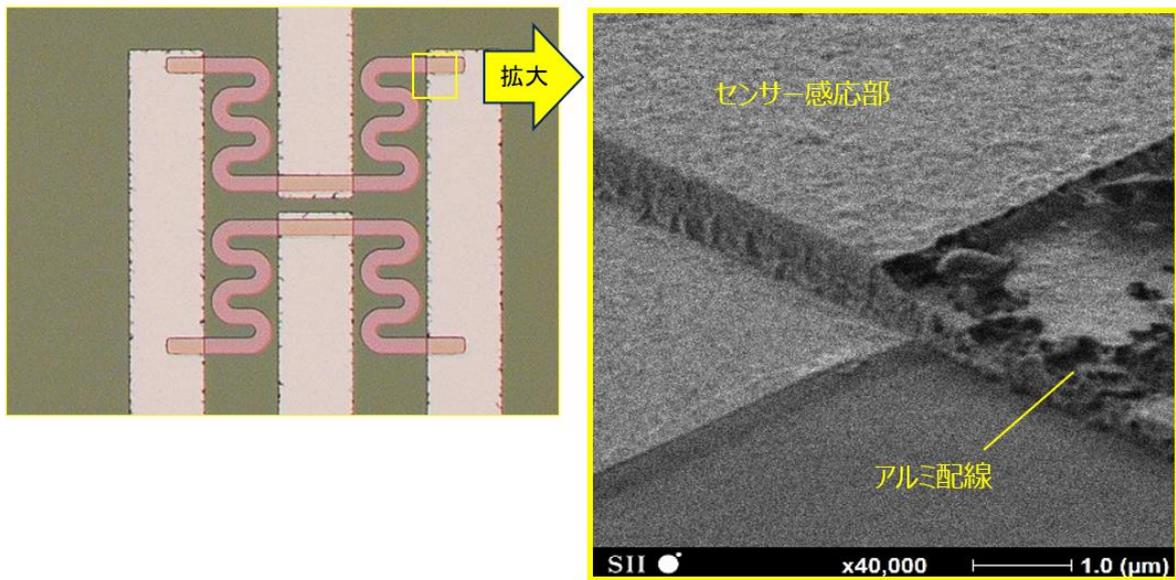


Fig.5-23 SEM photograph of the hydrogen sensor after sensor patterning.

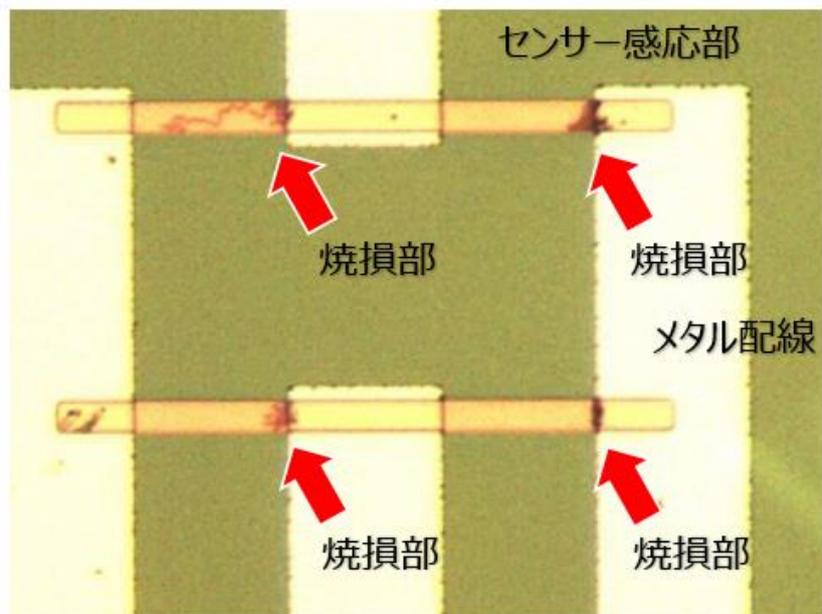


Fig.5-24 Sample photograph of burned part.

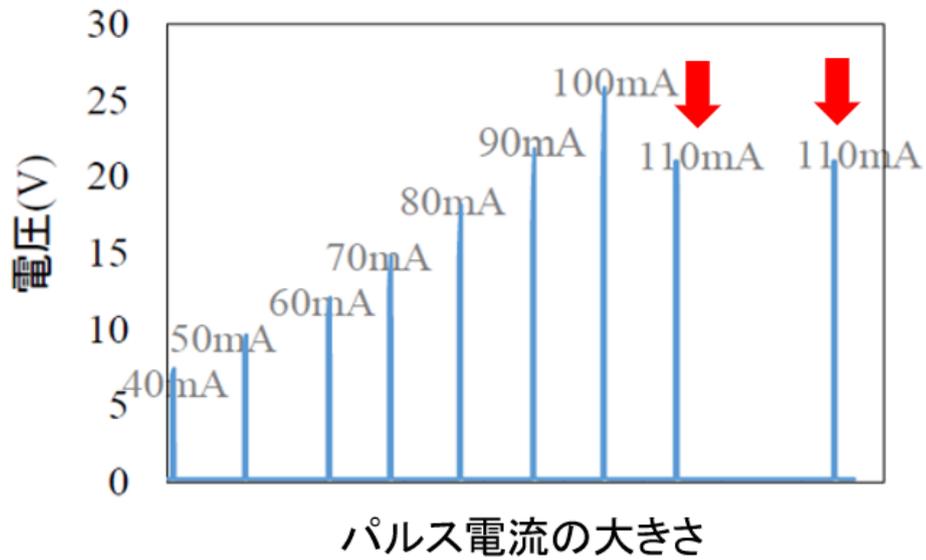


Fig.5-25 Dependency on pulse current.

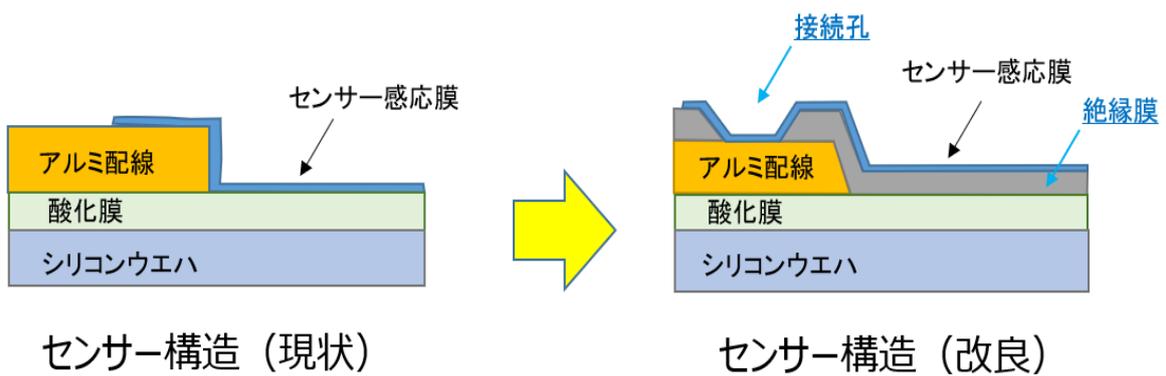


Fig.5-26 Cross sectional view of two types of hydrogen sensor.

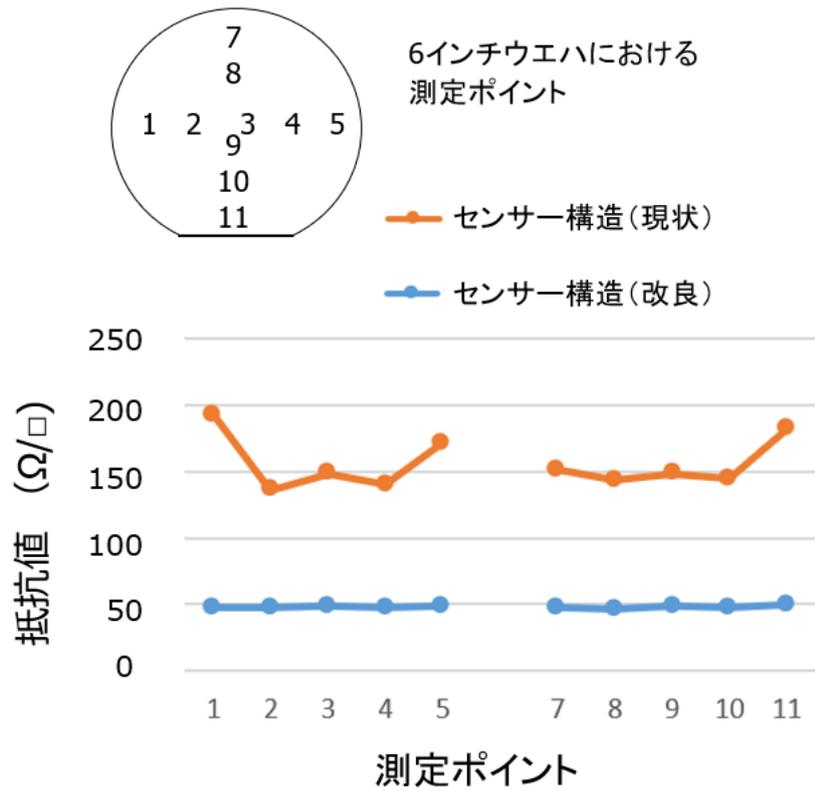


Fig.5-27 Comparison of Aluminum resistance before and after improvement.

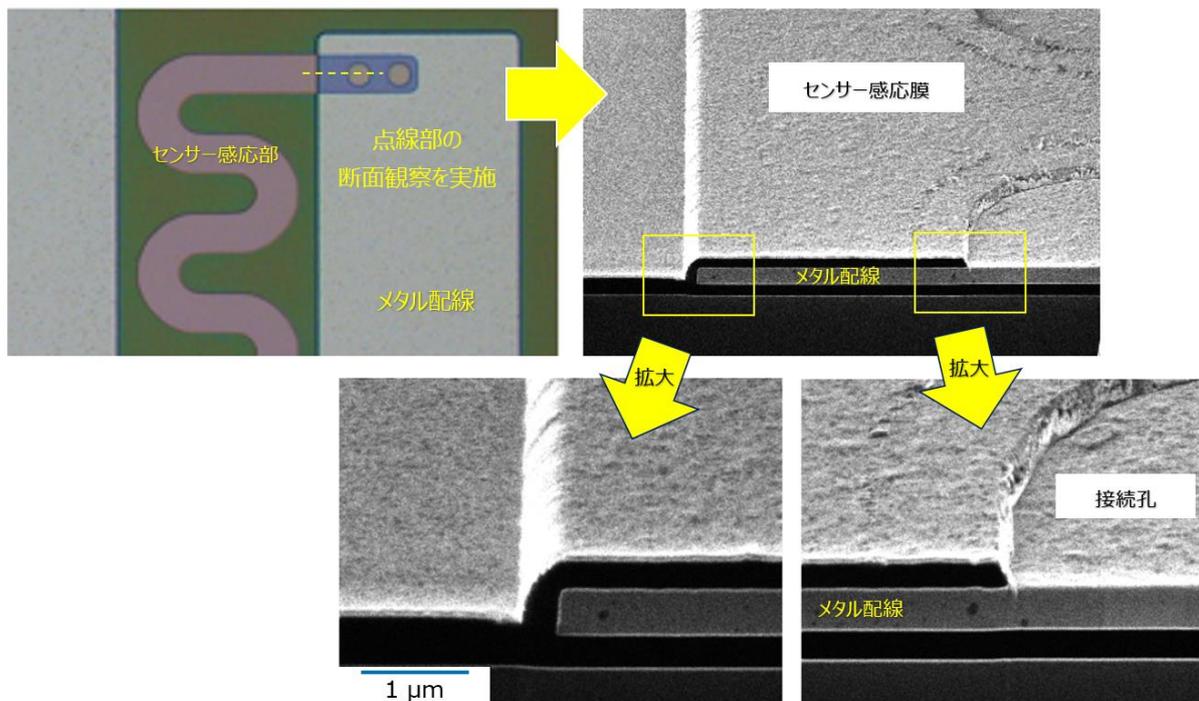


Fig.5-28 Cross sectional photograph of the hydrogen sensor after improvement.

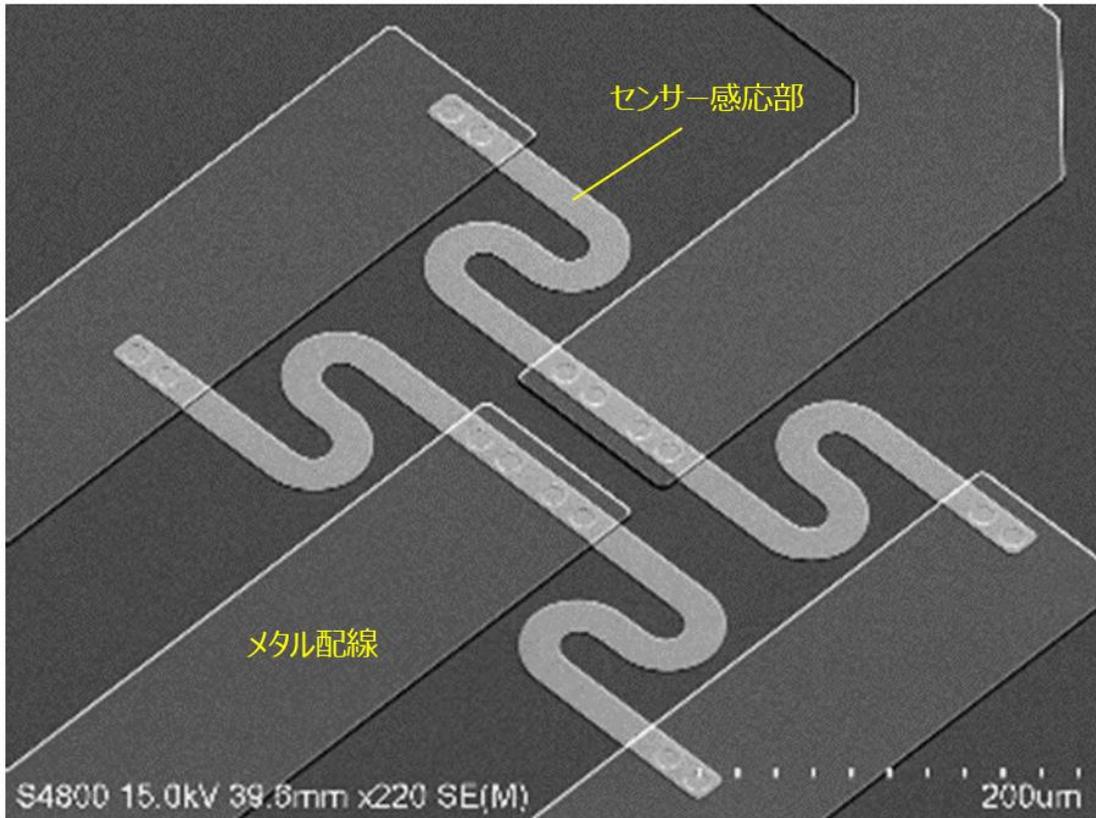


Fig.5-29 SEM photograph of the hydrogen sensor after improvement.

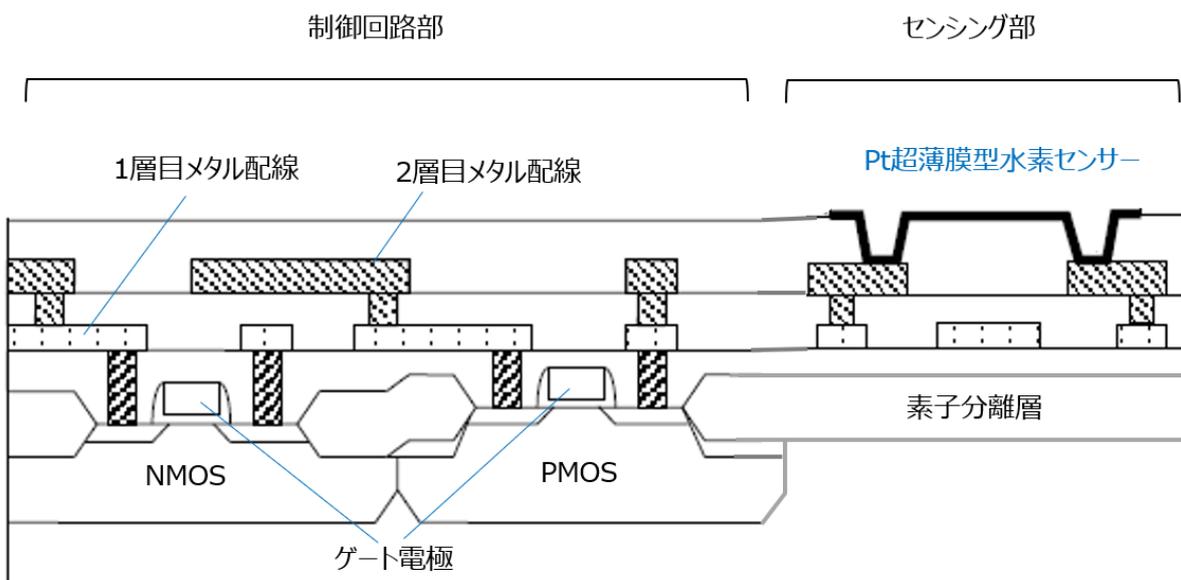


Fig.5-30 1 chip solution for Pt ultrathin film H₂ sensor.

5-5. 結言

本章では、岡山大学で開発された Pt 超薄膜型の水素センサーに対して、基礎的な研究を行うことで、以下のことを明らかにした。

- 1) 水素ガスを流し込んだ時の応答特性と air ガスに戻した時の回復特性の両方の改善に対して、パルス電流の印加が効果的であることを示した。（パルス電流：30 mA，5 秒間）
- 2) センサーパターンのサイズとして、長い線長・細い線幅にすることで感度特性を改善できることを示した。この結果は感度特性に対しては、センサーパターンのエッジ部分の寄与が大きいことを示唆している。（本評価で最も高い感度を示したセンサーサイズ：線長 = 4400 μm ，線幅 = 100 μm ，その時の感度：水素ガス濃度 1% に対する抵抗変化率 = 約 1.4%）
- 3) 最低検出濃度の要求精度の目安とした 100 ppm よりさらに 1 桁低い 10 ppm（0.001%）の水素ガス濃度に対しても、水素応答が観測できることを示した。
- 4) 駆動電流を 1 mA と低く設定することで、air ガスと水素ガスのどちらの流量が変化しても、応答特性が変動せず、水素ガスの安定した検知が可能であることを示した。（air ガス，水素ガスともに流量として 0 ~ 2.5 L/min の範囲において）
- 5) 妨害ガスとして二酸化炭素（ CO_2 ），エタン（ C_2H_6 ），メタン（ CH_4 ）を対象に評価した結果，水素ガスの場合の 1/10 より小さい反応しか示さず，本水素センサーが優れたガス選択性を持つことを示した。（4 種類のガス濃度として空气中濃度 1% において）
- 6) センサー構造の製造上の課題として，以下の 2 つを抽出し，それぞれ改善を試みた。
課題①：アルミ配線の抵抗値が設計値より高く，ウエハ面内でばらついている。
課題②：パルス電流を増加させると段差部においてセンサー感応膜の焼損が生じた。
- 7) 課題①に対しては，アルミ配線とセンサー感応膜の間に絶縁膜を挿入することが有効であることを示した。
- 8) 課題②に対しては，段差部に傾斜をつける処理を施すことで，損傷の原因である段差部でのセンサー感応膜の薄膜化の解消を試みた。今後の評価が待たれる。

参考文献

- [1] I. F. Akyildiz, W. Su, Y. Sankarasubramaniam, and E. Cayirci, "A survey on sensor networks," *IEEE Communication Magazine*, Vol. 40, No. 8, pp. 102-114, Aug. 2002.
- [2] A. Burdett, "Ultra-Low-Power Wireless Systems: Energy-Efficient Radios for the Internet of Things," *IEEE Solid-State Circuits Magazine*, pp. 18-28, SPRING, 2015.
- [3] H. Husstedt, U. Ausserlechner, and M. Kaltenbacher, "In-Situ Analysis of Deformation and Mechanical Stress of Packaged Silicon Dies With an Array of Hall Plates," *IEEE Sensors Journal*, Vol. 11, No. 11, pp. 2993-3000, Nov. 2011.
- [4] 総務省 ICT スキル総合習得教材,
http://www.soumu.go.jp/ict_skill/pdf/ict_skill_1_2.pdf
- [5] IoT に活用されるセンサの種類と用途のまとめ, <https://sackle.co.jp/blog/detail/490-2>
- [6] 小林, "センシング技術の普及とこれからの社会," 一般社団法人次世代センサー協議会,
<http://www.jisedaisensor.org/PDF/J30sensor.pdf>, 2018.
- [7] 経済産業省 資源エネルギー庁 HP, "水素社会の実現に向け、さらに具体的な取り組みを～新「水素・燃料電池戦略ロードマップ」," 2019-4-9
- [8] 日本経済新聞 電子版, "「川重、世界初の水素運搬船を進水 低炭素社会へ切り札」," 2019/12/11 11:30
- [9] 経済産業省 資源エネルギー庁 HP, "2020 年、水素エネルギーのいま～少しずつ見えてきた「水素社会」の姿," 2020-1-31
- [10] 水素・燃料電池戦略協議会（第 1 回） 配布資料
https://www.meti.go.jp/committee/kenkyukai/energy/suiso_nenryodenchi/pdf/001_04_00.pdf

- [11] K. Tokimatsu, B. McLellan, M. Hook, S. Murakami, R. Yasuoka, and M. Nishio, "Energy modeling approach to the global energy-mineral nexus: A case of fuel cell vehicle," *Energy Procedia*, Vol. 142, pp. 2361-2364, 2017.
- [12] NEDO 水素エネルギー白書, "水素とは何か," 第1章, pp. 6-8, 2014.
- [13] Crowl D. A, and Jo Y.-D, "The hazards and risks of hydrogen," *Journal of Loss Prevention in the Process industries*, Vol. 20, pp. 158-164, 2007.
- [14] 北口 久雄, "水素ガスセンサーの現状と課題," 水素エネルギーシステム, Vol. 30, No. 2, pp. 36-40, 2005.
- [15] 福井 清, "水素ガスセンサーの現状と将来," 表面技術, Vol. 57, No. 4, pp. 244-249, 2006.
- [16] S. Nakano, K. Yokosawa, Y. Goto, and K. Tsukada, "Hydrogen Gas Detection System Prototype with Wireless Sensor Networks," *Proc. of the 4th IEEE Conf. on Sensors*, Vol. 10, pp. 159-162, 2005.
- [17] K. Tsukada, T. Kiwa, T. Yamaguchi, S. Migitaka, Y. Goto, and K. Yokosawa, "A study of fast response characteristics for hydrogen sensing with platinum FET sensor," *Elsevier, Sensors and Actuators, B* 114, pp. 158-163, 2006.
- [18] K. Tsukada, H. Inoue, F. Katayama, K. Sakai, T. Kiwa, "Changes in Work Function and Electrical Resistance of Pt Thin Films in the Presence of Hydrogen Gas," *Jpn. J. Appl. Phys.* Vol. 51, 015701, 2012.
- [19] K. Fujii, H. Inoue, T. Yamaguchi, T. Kiwa, and K. Tsukada, "Evaluation of the Sensitivity of Hydrogen Sensors Covered with Polytetrafluoroethylene as a Protective Membrane for Humidity," *IEEJ Trans. SM*, Vol. 130, No. 8, pp. 401-406, 2010.
- [20] K. Tsukada, M. Kariya, T. Yamaguchi, T. Kiwa, H. Yamada, T. Maehara, T. Yamamoto, and S. Kunitsugu, "Dual-Gate Field-Effect Transistor Hydrogen Gas Sensor with Thermal Compensation," *Jpn. J. Appl. Phys.* Vol. 49, 2010.

- [21] T. Kiwa, K. Tsukada, M. Suzuki, M. Tonouchi, S. Migitaka, and K. Yokosawa, "Laser terahertz emission system to investigate hydrogen gas sensors," *Appl. Phys. Lett.* Vol. 86, 015701, 2005.
- [22] T. Kiwa, T. Hagiwara, M. Shinomiya, K. Sakai, and K. Tsukada, "Work function shifts of catalytic metals under hydrogen gas visualized by terahertz chemical microscopy," *OPTICS EXPRESS*, Vol. 20, No. 11, pp. 11637-11642, 2012.
- [23] T. Yamaguchi, T. Kiwa, K. Tsukada, and K. Yokosawa, "Oxygen interference mechanism of platinum-FET hydrogen gas sensor," *Sensors and Actuators A*, Vol. 136, pp. 244-248, 2007.
- [24] K. Yokosawa, S. Nakano, Y. Goto, K. Saitoh, and K. Tsukada, "Hydrogen-Gas Detection System and its Functions to Make Each Sensor Wireless," *IEEJ trans. on electrical and electronic engineering*, Vol. 3, No. 2, pp. 229-235, 2008.
- [25] K. Yokosawa, K. Saitoh, S. Nakano, Y. Goto, and K. Tsukada, "FET hydrogen-gas sensor with direct heating of catalytic metal," *Sensors and Actuators B: Chemical*, Vol.130, No. 1, pp. 94-99, 2008.
- [26] T. Yamaguchi, M. Takisawa, T. Kiwa, H. Yamada, and K. Tsukada, "Analysis of response mechanism of a proton-pumping gate FET hydrogen gas sensor in air," *Sensors and Actuators B: Chemical*, Vol.133, pp. 538-542, 2008.
- [27] T. Kiwa, T. Yamaguchi, K. Tsubota, W. Naruyama, H. Yamada, and K. Tsukada, "Hydrogen gas diffusion imaging using multiple FET type gas sensors," *Proc. of the 2009 IEEE Int. Conf. on Networking, Sensing and Control*, Okayama, Japan, March, pp. 282-286, 2009.
- [28] T. Okui, Y. Ushita, S. Takeichi, K. Sakai, T. Kiwa, and K. Tsukada, "パルス電流印加ゲート構成による FET 水素センサーの応答特性の高速化," *IEEJ Trans. on Sensors and Micromachines*, Vol. 134, No. 8, pp. 264-269, 2013.
- [29] F. Wu, J. E. Morris, "The effects of hydrogen absorption on the electrical conduction in discontinuous palladium films," *Thin Solid Films*, Vol. 246, No. I-2, pp. 17-23, 1994.

- [30] Y. T. Cheng, Y. Li, D. Lisi, and W. M. Wang, "Preparation and characterization of Pd/Ni thin films for hydrogen sensing," *Sensors and Actuators B: Chemical*, Vol. 30, No. 1, pp.11-16, 1996.
- [31] T. Xu, M. P. Zach, Z. Xiong, and D. Rosenman, "Self-assembled monolayer-enhanced hydrogen sensing with ultrathin palladium films," *Appl. Phys. Lett.* Vol. 86, 303104, 2005.
- [32] 米田幸夫, 金属の化学, 大日本図書株式会社, pp. 195-200, 1966.
- [33] K. Tsukada, S. Takeichi, K. Sakai, and T. Kiwa, "Ultrathin-film hydrogen gas sensor with nanostructurally modified surface," *Jpn. J. Appl. Phys.*, Vol. 53, p. 076701, 2014.
- [34] 菅井 良祐, 武市 修蔵, 牛田 祐貴, 井並 祥太, 堺 健司, 紀和 利彦, 塚田 啓二, "超薄膜 Pt/Ti を用いたブリッジ型水素センサの開発," 第 31 回「センサ・マイクロマシンとその応用システム」シンポジウム論文集, 20pm1-B4, pp. 47-50, 2014.
- [35] S. Takeichi, Y. Ushita, R. Sugai, K. Sakai, T. Kiwa, and K. Tsukada, "Impedance Evaluation of Hydrogen Sensor Using Ultrathin Platinum Film," *Trans. Mat. Res. Soc. Japan*, Vol. 40, No. 1, pp. 69-72, 2015.
- [36] S. Inami, R. Furukawa, K. Sakai, T. Kiwa, and K. Tsukada, "TiN を用いた Pt 超薄膜水素センサーの熱的安定性改善," 第 63 回応用物理学会春季学術講演会 講演予稿集, 21p-S322-8, 2016.
- [37] G. Takeuchi, S. Hoshino, T. Miyata, T. Takahashi, and K. Uchida, "Pd ナノドットで装飾したグラフェンナリボンを用いた水素センサー," 第 62 回応用物理学会春季学術講演会 講演予稿集, 14a-D7-12, 2015.
- [38] Z. Wei, K. Homma, K. Katayama, K. Kawai, S. Fujii, Y. Naitoh, H. Shima, H. Akinaga, S. Ito, and S. Yoneda, "From Memory to Sensor: Ultralow Power and High Selectivity Hydrogen Sensor Based on ReRAM Technology," *IEEE Trans. On Electron Devices*, Vol. 65, No. 11, Nov. pp. 5189-5194, 2018.
- [39] 山崎 宏明, 林 裕美, 増西 桂, 小野 大騎, 池橋 民雄, "Pd 系金属ガラスを用いた高速応答・低消費電力容量型 MEMS 水素センサに関するレビュー," 電気学会論文誌 E, 138 巻, 7 号, pp. 312-318, 2018.

- [40] 合田 悠斗, 小部 寛斗, 堺 健司, 紀和 利彦, 近藤 健二, 高橋 琢哉, 上田 尚宏, 塚田 啓二, "Pt 超薄膜型水素センサの駆動電流の最適化による風の外乱影響低減," *IEEJ Trans. on Sensors and Micromachines*, Vol.140, No.4, pp.92-96, 2020.
- [41] "応用物理ハンドブック【第2版】," 応用物理学会, 第10章, 半導体製造技術, 2002.
- [42] J. Libardi, K.G. Grigorov, R. S. Moraes, M. Guerino, A. S. Da Silva Sobrinho, and M. Massi, "Electrical Conduction Mechanisms in Metal-Insulator-Metal (MIM) Structure with TiOxNy Thin Films Deposited with Different O/N Ratios," *J. of Electronic Materials*, Vol. 44, pp. 103-109, 2015.
- [43] 杉本 茂樹, 神垣 哲也, 上條 浩幸, "半導体プロセス技術の進歩と課題," 東芝レビュー, Vol. 59, No. 8, 2004.
- [44] Yuto Goda, Tetsuro Hirata, Kenji Sakai, Toshihiko Kiwa Kenji Kondo, Takuya Takahashi, Naohiro Ueda, Keiji Tsukada, "Optimization of Pt ultrathin film pattern for hydrogen sensor", *Int. Journal of Engineering and Innovative Technology (IJEIT)*, Vol.9, No.2, August 2019.
- [45] 三宅 淳巳, "水素の爆発と安全性," 水素エネルギーシステム, Vol. 22, No. 2, pp. 9-17, 1997.
- [46] NEDO "半導体水素センサと検知システムの研究開発: (株)日立製作所," C-14, pp. 226-232, <https://www.nedo.go.jp/content/100096717.pdf>
- [47] 小谷教彦, 西村正, "LSI 工学: システム LSI の設計と製造," 第三部, 第9章, 要素プロセス技術, pp. 164-166, 森北出版, 2005.

第 6 章 総括

本研究では、小型 IC チップのパッケージ起因応力の可視化とそれを用いた IC 設計手法の高精度化を実現することを第一の目的に実施した。小型 IC チップの代表例として電源管理 IC が挙げられる。特に近年、世界の各地で普及が進む Wireless Sensor Network 向けの IoT 機器に対しては、設置とメンテナンスを容易に行えるよう、電源管理 IC に対する小型化と高精度化の要求が高まっている。特に高精度化については、リチウムイオン二次電池の安全使用の観点からも、充放電を制御する電源管理 IC への精度要求の高まりが社会的な背景にある。

第 1 章では、このような社会的背景と電源管理 IC への期待を整理するとともに、現在の半導体集積回路が持っている課題として、パッケージ起因応力によるピエゾ抵抗効果が原因の回路特性変動をクローズアップした。そして、ピエゾ抵抗効果に関するこれまでの研究例を整理し、チップサイズが 1 mm 角程度の小型 IC チップに関する研究報告が少ないことを問題提起した。これに関しては小型 IC チップの接続端子（ボンディングパッド）が少ないことが、チップ面内の多点測定を難しくしていることを示し、本研究の主眼となる点を明確にした。これに関しては第 2 章から第 4 章にかけて研究の成果として報告した。本研究の第二の目的として、Pt 超薄膜型の水素センサーの基礎的な評価を実施した。これについては Wireless Sensor Network 機器の構成要素であるセンサーへの理解を深めることが、それを駆動する電源管理 IC にとっても重要であり、その技術的改良を進めることが将来の高度なネットワーク社会の実現に貢献する、という考えのもとに基礎的な研究を実施した。これについては第 5 章で述べている。

まず第 2 章では、チップサイズが 1 mm 角程度の小型 IC チップのパッケージ起因応力分布の可視化を目的に、専用の応力評価装置と専用のテストチップ群をそれぞれ作製したことを説明した。応力評価装置としてカンチレバー型の評価システムを作製し、それを用いた N 型半導体と P 型半導体のそれぞれのピエゾ抵抗効果の評価結果、並びに 2 軸の応力成分 (S_x , S_y) の算出方法を示した。専用のテストチップ群としては、チップ面内のピエゾ抵抗素子の配置場所を変えた 45 種類のテストチップを作製し、それら個々の測定結果を 1 つのチップ面内に同時に表示することによって、小型 IC チップのパッケージ起因応力分布が可視化できることを示した。評価を実施したことにより、1) 応力値は全て負の値であり圧縮応力であること、2) S_y , S_x とともにチップ中央部で最大値を持ち両端部に向かって徐々に小さくなること、3) それぞれの最大応力値は S_y で約 90 MPa, S_x で約 50 MPa であること、を明確にした。さらに、4) 応力値がゼロの場所は存在せず、チップ面内のあらゆる場所においてピエゾ抵抗効果による特性シフトが生じることを明らかにすることで、パッケージ起因応力による回路特性変動に対する研究の重要性を再確認した。

第 3 章では、第 2 章で説明した技術を用いて電源管理 IC への適用が多い QFN パッケージと WL-CSP の 2 種類に対して、そのパッケージ起因応力を調査した。まず QFN パッケージについては、パッケージ組立工程の途中で測定を行うことによって応力の発生工程を調査した。また、これまで報告例の

少ないフィラーに関してその影響度を有限要素シミュレーションによって調査した。さらにチップサイズとリードフレームのそれぞれの形状が応力に与える影響、並びにチップ厚さの影響について調査した。一連の評価によって、1) 応力は樹脂形成工程で発生し、その大きさはシリコンチップの寸法が横 0.8 mm、縦 0.7 mm の場合で約 40 MPa であること、2) フィラーの影響度は 15 μm から 5 μm へのチップ表面への接近で変化量は 5 MPa 未満、10 μm から 50 μm へのフィラー径の増大で変化量は 8 MPa 未満であり、変化量として樹脂封止によって発生する応力の 1/5~1/8 程度であること、3) チップの長辺に平行な応力成分が短辺に平行な応力成分よりも大きいこと、を明らかにした。また 3) の結果からシリコンチップが、パッケージ材料の中で最大の CTE を持つモールド樹脂の体積収縮によって曲げ変形の状態にあることが示唆されること、を示した。さらに、4) シリコンチップより小さいサイズのリードフレームを用いると、それと対応するチップ表面箇所に“応力がほぼ均一な領域”が生じること、を見出した。そしてその結果から、「同箇所をペア動作の担保が重要なアナログ回路の配置場所とすること」の特許出願により権利化を実現した。また 5) シリコンチップの厚さを 130 μm から 100 μm に薄膜化しても応力分布には影響がないこと、を示した。

WL-CSP に関しては、回路の直上に配置されている Copper pillar に着目して、その影響度を調査した。調査の結果、1) Copper pillar 端部において円周方向の圧縮応力と、直径方向の引張応力が生じていること、2) Copper pillar 中央部において圧縮応力が生じていること、3) Copper pillar と Copper pillar の中間部において引張応力が生じていること、を明らかにした。そして Copper pillar が作り出す局所的な応力分布の発生メカニズムについて考察を行った。さらに得られた結果から、「ペア動作を必要とするアナログ回路を Copper pillar のエッジ部から一定の距離を離して配置すること」の特許出願による権利化を実現した。さらに、QFN パッケージと WL-CSP の一連の評価結果から、パッケージ起因応力による特性変動を考慮する際には、応力の絶対値だけではなく、応力の勾配に対しても注意を払う必要があることを示した。

第 4 章では、パッケージ起因応力によるアナログ回路の性能劣化を予測する手法について研究を実施した。ネットリストをベースにした現在の回路設計手法に応力起因の特性変動要素を追加することの出来る新たなツールとして Stress Netlist Generator (SNG) を開発した。SNG は GDS ファイルから各デバイスの座標と方向の情報を抽出し、あらかじめ準備した応力分布図と応力感度特性を入力データとして、回路を構成するデバイスごとに応力起因の特性変動量を算出することを可能にした。特性変動を算出する対象としては、MOSFET の相互コンダクタンス G_m と抵抗体の抵抗値 R のそれぞれを変調させることで、従来の設計手法で作成されたネットリスト (Original Netlist) を、応力起因の影響を反映したネットリスト (Stress -considered Netlist) に変換することを行った。この変換によって、回路を構成するデバイスごとにそのモデルパラメータが修正されるので、同じ種類の同じサイズのデバイスが性能の異なる別のデバイスとして再定義されたネットリストを作成した。そして、応力起因の影響を反映したネットリストを用いた回路シミュレーションと実製品の測定結果が良い一致を示すことを確認し、本研究で開発した手法がパッケージ起因応力による特性変動に対して高い予測精度を持つことを示した。

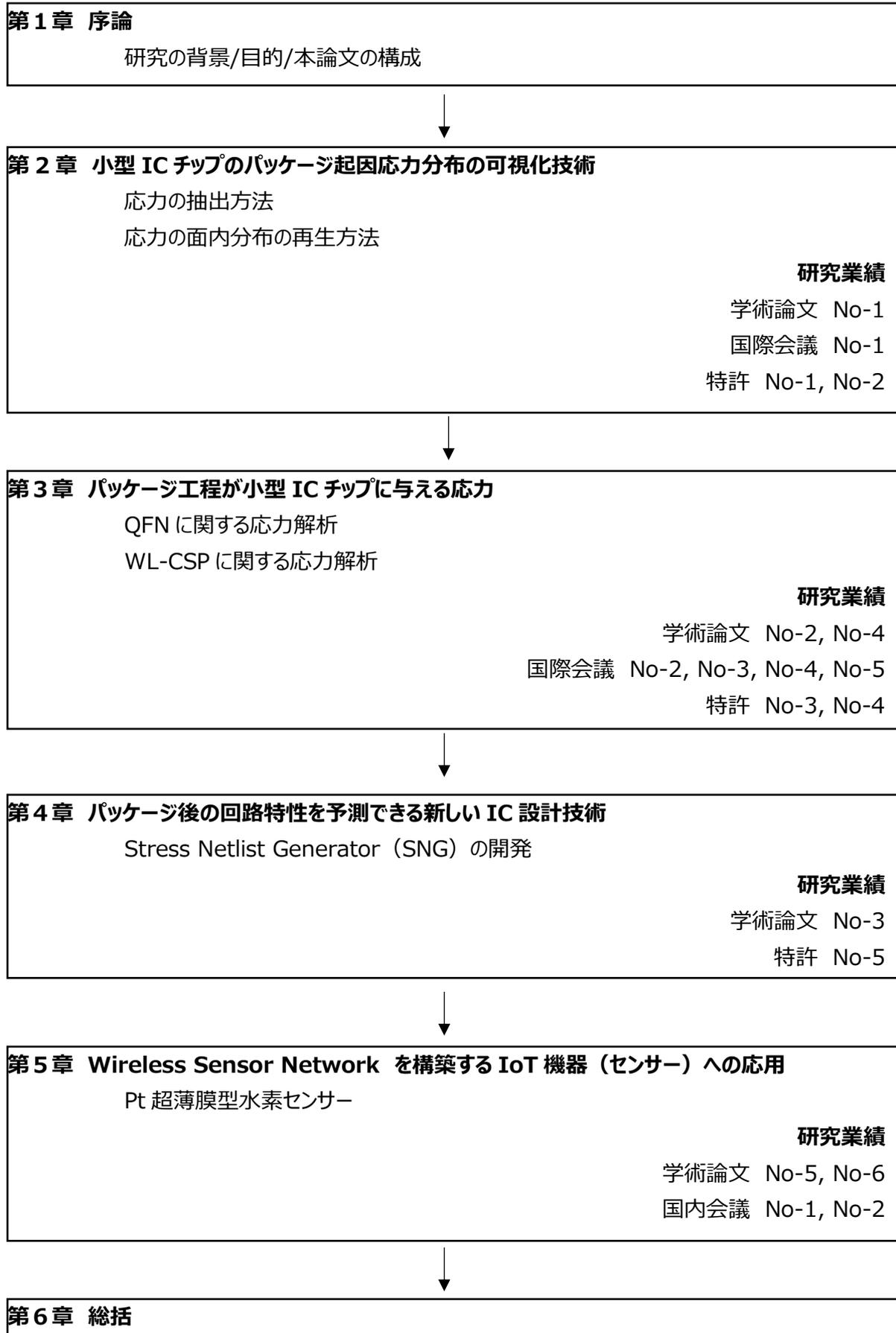
最後に第 5 章では、Pt 超薄膜型の水素センサーに対して実施した基礎的な研究成果を示した。得られた成果としては、1) 水素ガスを流し込んだ時の応答特性と air ガスに戻した時の回復特性の両方

の改善に対して、パルス電流の印加が効果的であること（パルス電流：30 mA, 5 秒間）、2) センサーパターンのサイズとして、長い線長・細い線幅にすることで感度特性を改善できること（最も高い感度を示したセンサーパターンのサイズ:線長 = 4400 μm , 線幅 = 100 μm , その時の感度:水素ガス濃度 1%に対する抵抗変化率 = 約 1.4%)、3) 最低検出濃度の要求精度の目安とした 100 ppm より、さらに 1 桁低い 10 ppm (0.001%) の水素ガス濃度に対しても、水素応答が観測できることを示した。さらに外乱因子の影響評価として、周りの風によるセンサー特性への影響を調査し、4) 駆動電流を 1 mA と低く設定することで、air ガスと水素ガスのどちらの流量が変化しても、応答特性が変動せず、水素ガスの安定した検知が可能であること (air ガス, 水素ガスともに流量として 0 ~ 2.5 L/min の範囲において) を示した。また、5) 妨害ガスとして二酸化炭素 (CO₂)、エタン (C₂H₆)、メタン (CH₄) を対象に評価した結果、水素ガスの場合の 1/10 より小さい反応しか示さず、本水素センサーが優れたガス選択性を持つこと (4 種類のガス濃度として空气中濃度 1%において) を明らかにした。

さらに、センサー構造の製造上の課題として、アルミ配線の抵抗値が設計値より高くウエハ面内でばらつくことと、パルス電流を増加させると段差部においてセンサー感応膜の焼損が生じること、の 2 点を把握した。そして課題解決につながる技術的な改良方法として、アルミ配線の抵抗値ばらつきに対してはアルミ配線とセンサー感応膜の間に絶縁膜を挿入することが有効であることを示した。センサー感応膜の焼損問題については、段差部に傾斜をつける処理を施すことで、損傷の原因である段差部でのセンサー感応膜の薄膜化の解消を試みた。これについては今後の評価が待たれる。

以上述べたように、本研究では、第 2 章から第 4 章までで電源管理 IC に代表される小型 IC チップのパッケージ起因応力の可視化とそれを用いた IC 設計手法の高精度化に関する研究を、第 5 章においては Pt 超薄膜型の水素センサーの基礎的な研究を、それぞれ実施した。研究の対象とした小型 IC チップとセンサーは、今後ますます世界の各地で普及が進む Wireless Sensor Network を構築する IoT 機器のキーパーツであり、将来のより高度なネットワーク社会の実現に対する一助となるように、今後の一層の研究が期待される。

以下では本論文を構成する各章ごとに研究業績の整理を行った。



研究業績

学術論文

1. N. Ueda, E. Nishiyama, H. Aota, H. Watanabe, "Evaluation of Packaging-induced Performance Change for Small-scale Analog IC," *IEEE Trans. on Semiconductor Manufacturing*, Vol. 22, No. 1, February, pp. 103-109, 2009.
2. N. Ueda, H. Watanabe, "Impact of local stress distribution in a silicon chip mounted by area-arrayed copper pillar wafer-level packaging technology on analog-circuit performance," *IEEE Trans. on Components, Packaging and Manufacturing Technology*, Vol. 9, No. 6, June, pp. 1062-1067, 2019.
3. N. Ueda, H. Watanabe, "Post-packaging simulation based on MOSFET characteristics variations due to resin-molded encapsulation," *IEICE TRANSACTIONS on Electronics*, Vol. E103.C (2020), No. 6, pp. 317-323, 2020.
4. N. Ueda, H. Watanabe, "Characterization of Packaging-induced Stress Distributions for Small-scale Silicon Chips", The Institute of Electrical Engineers of Japan: *IEEJ Trans. on Electrical and Electronic Engineering*, Vol. 15, No. 8, pp. 1236-1241, 2020.
5. Yuto Goda, Tetsuro Hirata, Kenji Sakai, Toshihiko Kiwa, Kenji Kondo, Takuya Takahashi, Naohiro Ueda, Keiji Tsukada, "Optimization of Pt ultrathin film pattern for hydrogen sensor," *Int. J. of Engineering and Innovative Technology (IJEIT)*, Vol. 9, No. 2, pp. 6-9, August 2019.
6. 合田悠斗, 小部寛斗, 堺健司, 紀和利彦, 近藤健二, 高橋琢哉, 上田尚宏, 塚田啓二, "Pt 超薄膜型水素センサの駆動電流の最適化による風の外乱影響低減 (Reduction of Wind Disturbance by Optimizing the Drive Current of Pt Ultra-thin Film Hydrogen Sensor)," *IEEJ Trans. on Sensors and Micromachines*, Vol. 140, No. 4, pp. 92-96, 2019.

国際会議

1. N. Ueda, E. Nishiyama, H. Aota, and H. Watanabe, "Prediction of Stress-induced Characteristic Changes for Small-scale Analog IC," *ICMTS 2008, IEEE Int. Conf. on Microelectronic Test Structures 2008*, pp. 107-110, 2008.
2. N. Ueda, E. Nishiyama, and H. Watanabe, "A Study of Packaging-induced Stress Distribution for Small-scale Silicon Chips," *SSDM 2009, Int. Conf. on Solid State Devices and Materials 2009*, pp. 452-453, 2009.
3. N. Ueda and H. Watanabe, "Residual Stress Distribution in a Silicon Chip Encapsulated by Plastic Packages", *IMFEDK 2010, IEEE Int. Meeting for Future of Electron Devices, Kansai, 2010*, pp. 38-39, 2010.
4. N. Ueda, E. Nishiyama, and H. Watanabe, "Distribution of Characteristic Changes in MOSFETs Induced by Resin-Molded Packaging Stress," *SSDM 2010, Int. Conf. on Solid State Devices and Materials 2010*, pp.353-354, 2010.
5. N. Ueda, E. Nishiyama, and H. Watanabe, "Effect of Resin-Molded Package Structure on Silicon Chip Surface Stress Distribution," *SSDM 2011, Int. Conf. on Solid State Devices and Materials 2011*, G-3-3, 2011.

国内会議

1. 合田悠斗, 平田哲朗, 堺健司, 紀和利彦, 近藤健二, 高橋琢哉, 上田尚宏, 塚田啓二 "Pt 超薄膜型水素センサの形状最適化"
第 35 回センサ・マイクロマシンと応用システムシンポジウム, 2018.10.30-11.1, 札幌, 31am3-PS-141, 2018.
2. 合田悠斗, 小部寛斗, 堺健司, 紀和利彦, 近藤健二, 高橋琢哉, 上田尚宏, 塚田啓二 "Pt 超薄膜型水素センサの電流駆動方式の最適化による外乱影響低減"
第 36 回「センサ・マイクロマシンと応用システム」シンポジウム, 2019.11.19-21, 浜松, 19am3-PS3-53, 2019.

特許

1. 特許第 4512125 号
応力分布検出用半導体パッケージ群及びそれを用いた半導体パッケージの応力分布検出方法
上田尚宏, 渡辺博文
2. US7735375
STRESS-DISTRIBUTION DETECTING SEMICONDUCTOR PACKAGE GROUP
AND DETECTION METHOD OF STRESS DISTRIBUTION IN SEMICONDUCTOR
PACKAGE
Naohiro Ueda, Hirobumi Watanabe
3. US8624677
SEMICONDUCTOR DEVICE
Naohiro Ueda
4. US8716874
SEMICONDUCTOR DEVICE AND LAYOUT METHOD OF SEMICONDUCTOR
DEVICE
Junichi Konishi, Naohiro Ueda
5. 特許第 5163759 号
半導体集積回路の製造方法
上田尚宏, 渡辺博文

謝辞

本研究は、筆者がリコー電子デバイス株式会社に在職しながら実施した成果である。本研究を遂行することにご理解を賜りましたリコー電子デバイス（株）田路悟社長と藤川久志取締役に感謝の意を表します。

本論文の執筆，ならびに研究の基礎となる論文の作成に関して，多大なるご助言と親身なご指導を頂きました(株)リコー渡辺博文顧問技師長に心より御礼を申し上げます。

本研究を遂行するにあたり，暖かいご支援とご教授を賜りました岡山大学塚田啓二教授に厚く御礼を申し上げます。

本論文を執筆するにあたって，丁寧なご指導とご助言を賜りました岡山大学紀和利彦教授に心より感謝の意を表します。

本研究を遂行するにあたり，様々なご協力とご支援を頂きましたリコー電子デバイス(株)の西山恵里氏，青田秀幸氏，楠田充成氏，二ノ宮章弘氏，加藤智成氏，並びにラピスセミコンダクタ（株）内田康文氏に厚くお礼を申し上げます。

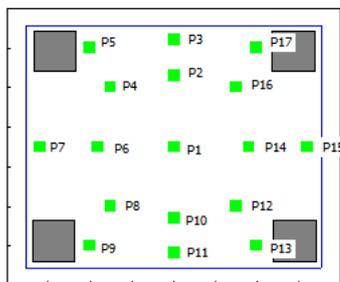
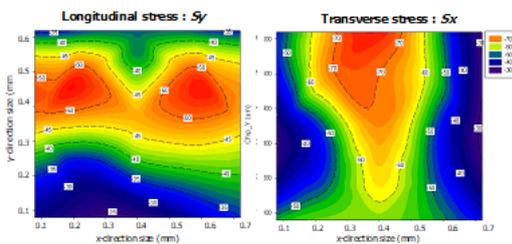
最後に，全面的に協力をしてくれた妻と励ましてくれた 3 人の息子たちに感謝します。ありがとう。

2020 年（令和 2 年）9 月 上田 尚宏

付録

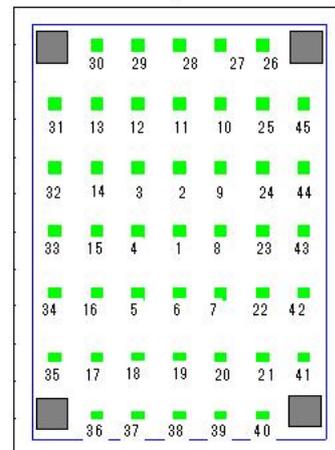
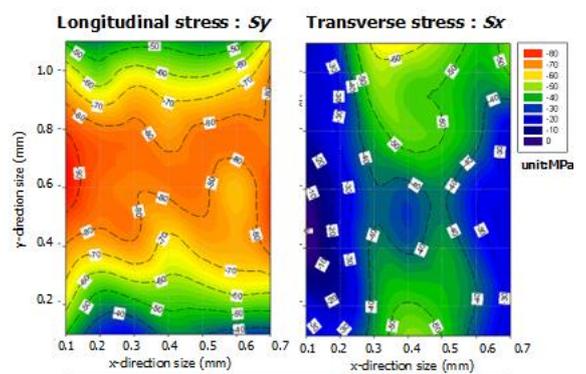
付録-1. チップサイズ毎の応力分布図とピエゾ抵抗体の配置箇所

0.8 × 0.7 mm



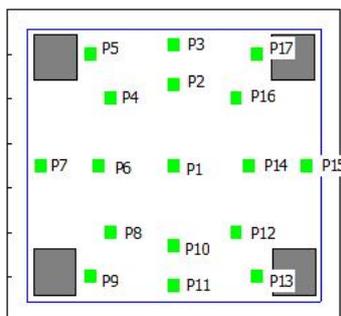
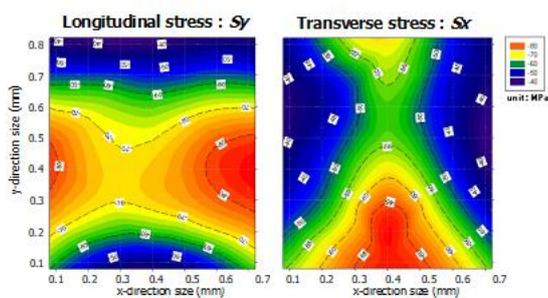
Sensor N 17

0.8 × 1.2 mm



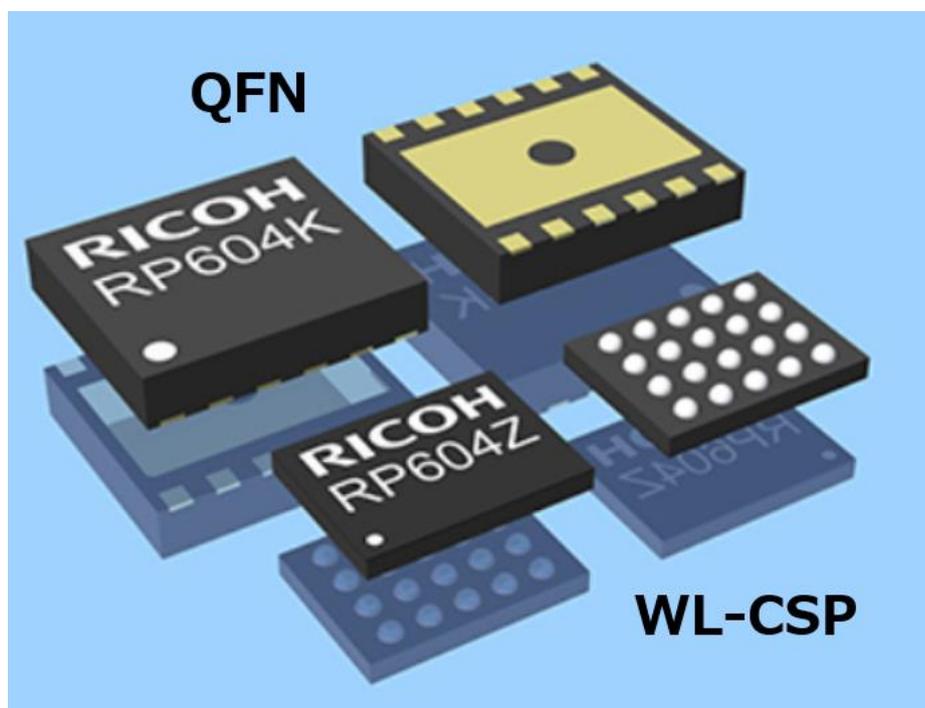
Sensor N 45

0.8 × 0.9 mm



Sensor N 17

付録-2. QFN と WL-CSP 見本写真



付録-3. 各サイズのセンサーパターン図

No	Width (μm)	Length (μm)
 No.1	20	100
 No.2	20	270
 No.3	20	440
 No.4	100	4400
 No.5	150	4300

